
Circuitos CMOS

PID_00206007

Marc Bara Iniesta

Índice

Introducción.....	5
Objetivos.....	6
1. Antecedentes y contexto de la tecnología CMOS.....	7
2. El transistor MOS.....	9
2.1. Estructura básica de un transistor MOSFET	9
2.2. Funcionamiento del transistor MOSFET	12
2.2.1. Influencia de v_{GS}	13
2.2.2. Influencia de v_{DS}	15
2.2.3. Característica corriente-tensión del MOSFET	16
3. Uso del MOSFET en circuitos digitales.....	19
3.1. Conceptos de electrónica digital	20
3.2. Puerta NOT con transistor nMOS	21
4. Circuitos digitales básicos CMOS.....	23
4.1. Inversor CMOS	23
4.1.1. Funcionamiento básico. El modelo interruptor	24
4.1.2. Característica de transferencia del inversor CMOS	25
4.2. Disposición física de una puerta inversora CMOS	29
4.3. Otras puertas lógicas CMOS	32
4.3.1. Puerta lógica NAND	32
4.3.2. Puerta lógica NOR	33
4.3.3. Puertas lógicas NAND y NOR de N entradas	35
5. Diseño de circuitos CMOS.....	37
5.1. Tolerancia al ruido	37
5.2. Propiedad regenerativa	38
5.3. Directividad	39
5.4. Corrientes de entrada y de salida	40
5.5. Disipación de potencia (consumo)	40
5.6. Velocidad de conmutación	41
5.7. <i>Fan-in</i> y <i>fan-out</i>	42
5.8. Sensibilidad a descargas electrostáticas	42
5.9. Familias CMOS	43
5.10. Cableado lógico en CMOS	44
5.10.1. CMOS de drenador abierto	45
5.10.2. CMOS triestado	46

5.11. Resumen de características de circuitos diseñados con tecnología CMOS	47
Resumen	49
Glosario	51
Bibliografía	52

Introducción

CMOS es una tecnología utilizada para crear circuitos integrados. El inversor CMOS, y en general cualquier circuito CMOS, se basan en la utilización de una forma determinada de los transistores nMOS y pMOS, de ahí el nombre.

En este módulo estudiaremos todos los aspectos relevantes de la tecnología CMOS en cuanto a sus transistores base (los MOSFET) y a su configuración para crear diferentes tipos de puertas lógicas (como son la puerta inversora, la NAND, la NOR...).

A continuación también veremos toda una serie de efectos que aparecen en los circuitos reales y que hay que tener muy presentes a la hora de diseñar circuitos digitales complejos a partir de puertas lógicas CMOS. Habrá que ser conscientes de qué características tienen respecto al consumo de potencia y la velocidad de conmutación, y de algunas propiedades interesantes, como por ejemplo su robustez ante el ruido y la regeneración de niveles lógicos.

Objetivos

Con el estudio de este módulo alcanzaréis los objetivos siguientes:

1. Conocer los fundamentos de los circuitos basados en tecnología MOS en contraposición a otras opciones, como la tecnología TTL o la bipolar.
2. Estudiar el transistor MOSFET.
3. Entender el concepto de complementariedad de la tecnología CMOS, y el hecho que nos permite crear puertas con funciones lógicas digitales.
4. Aprender las características de comportamiento de los circuitos creados con tecnología CMOS.
5. Saber qué efectos intervienen en el diseño de circuitos integrados CMOS.

1. Antecedentes y contexto de la tecnología CMOS

Los diseñadores de circuitos integrados solucionan los problemas que se plantean en la integración de dos maneras. La primera es decidiendo qué arquitectura se utilizará para diseñar el circuito, y la segunda qué transistores se emplearán. En este módulo nos focalizaremos en la segunda manera, y dejaremos la primera para otros módulos de la asignatura. Esto determina las tecnologías de integración que hay actualmente. Estas tecnologías se deben a dos tipos de transistores que toleran esta integración: los bipolares, y los CMOS¹ y sus variantes.

⁽¹⁾CMOS es la sigla de la expresión inglesa *complementary metal oxide semiconductor*.

Podríamos enumerar dos grandes grupos de tecnología, según en los transistores en que se basan:

- **Tecnología TTL (o lógica de transistor a transistor)**. Esta tecnología hace uso de resistencias, diodos y transistores bipolares para obtener funciones lógicas estándar.
- **Tecnología CMOS (o lógica MOS complementaria)**. Esta tecnología hace uso de transistores de efecto de campo nMOS y pMOS.

En la familia lógica MOS complementaria, el término *complementario* se refiere a la utilización de dos tipos de transistores en el circuito de salida. Se usan conjuntamente transistores MOSFET de canal N (nMOS) y de canal P (pMOS) en el mismo circuito para obtener varias ventajas respecto a si solo utilizáramos uno de los dos tipos.

La tecnología CMOS es ahora la dominante porque **es más rápida y consume menos potencia** que si solo utilizáramos transistores pMOS o nMOS independientemente. Estas ventajas, en un principio, estaban parcialmente contrarrestadas por la elevada complejidad del proceso de fabricación del circuito integrado y por una menor densidad de integración. De este modo, los CMOS difícilmente podían competir con MOS en aplicaciones que requieran una densidad de integración elevada.

En cualquier caso, la lógica CMOS ha emprendido un crecimiento constante, principalmente a expensas de la TTL, con la cual compite directamente. El proceso de fabricación de CMOS es más simple que el TTL y tiene una densidad de integración más elevada, lo cual permite que se tengan más circuitos en un área de sustrato determinada y reduce el coste por función. La gran ventaja de los CMOS es que utilizan solamente una fracción de la potencia que

se necesita para la serie TTL de baja potencia. Por otro lado, y en sentido contrario, la familia TTL presenta alguna ventaja, como por ejemplo una menor sensibilidad a descargas electrostáticas.

Como consecuencia del hecho de que los chips CMOS consumen menos potencia que aquellos que usan otros tipos de transistores, resultan especialmente adecuados para utilizarse en componentes que funcionen con baterías, como por ejemplo, dispositivos portátiles, móviles, etc.

El primer fabricante que produjo lógica CMOS fue RCA en 1968, y denominó a estos circuitos integrados como la serie 4000 (4000, 4001, etc.). Este sistema de numeración fue adoptado por otros fabricantes. El posible inconveniente de la familia CMOS fue en un principio que era más lenta que la familia TTL, pero ya hacia el año 1983 aparecieron nuevas series CMOS de alta velocidad para competir con las series TTL bipolares avanzadas en cuanto a velocidad y disponibilidad de corriente, y con un consumo menor.

Otros fabricantes han producido una amplia gama de componentes CMOS siguiendo las funciones y asignación de pins de las familias TTL 74XX. Estos reciben números de serie, como por ejemplo 74CXX, 74HCXX, 74HCTXX, 74ACXX o 74ACTXX, en los cuales la C significa CMOS, la A indica que son dispositivos avanzados y la T indica que estos dispositivos son compatibles con los de las familias TTL (trabajan con los niveles lógicos y de alimentación TTL).

Actualmente CMOS es la tecnología utilizada en la fabricación de microprocesadores, memorias y ASIC².

RCA Corporation

Compañía fundada como **Radio Corporation of America**. Fue una compañía estadounidense de electrónica desde 1919 hasta 1986.

⁽²⁾ASIC es la sigla de la expresión inglesa *application specific integrated circuits*.

2. El transistor MOS

Ya hemos presentado la estructura física más básica de la tecnología MOS, como es el condensador MOS, o estructura MOS, y hemos tratado cómo se pueden crear físicamente transistores (nMOS y pMOS) a partir de esta estructura.

En aquel momento definimos qué es CMOS. Recordamos que CMOS es una de las familias lógicas empleadas en la fabricación de circuitos integrados. Su característica principal consiste en la utilización conjunta de transistores de tipos pMOS y tipos nMOS, configurados de tal manera que en estado de reposo su consumo de energía es únicamente el causado por las corrientes parásitas.

En este apartado pretendemos pasar a analizar el funcionamiento de los transistores MOS, para poder hablar más adelante de su configuración de puerta lógica CMOS, como por ejemplo, en los inversores CMOS, las puertas lógicas NAND, NOR, etc. En primer lugar, sin embargo, hay que conocer cómo funciona su núcleo principal, que es el transistor MOS, también llamado MOSFET porque su funcionamiento está basado en el efecto de campo³.

Ved también

Podéis ver el módulo “Materiales y tecnologías de fabricación de circuitos integrados” de esta asignatura.

⁽³⁾En inglés, *field effect transistor*.

2.1. Estructura básica de un transistor MOSFET

El modo de funcionamiento electrónico de los transistores MOSFET se basa en regular el canal que se forma entre dos terminales y por donde circula corriente mediante la aplicación de tensión en un tercer terminal que recibe el nombre de puerta. Este canal, en caso de existir, permite que haya una corriente de portadores que entran por **la fuente** y salen por el **drenador**. Se trata de electrones para un semiconductor de tipo N y huecos para uno de tipo P, tal como hemos explicado.

En la figura 1 podéis ver la estructura básica de un transistor de tipo MOSFET.

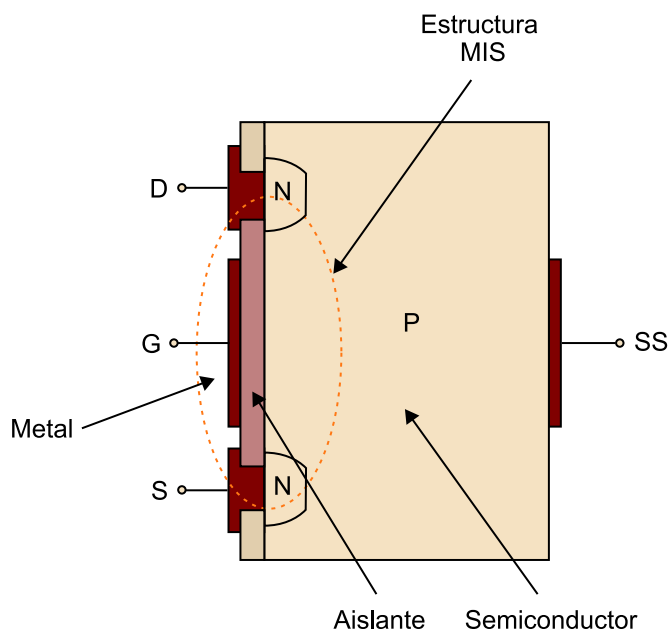
Inicialmente se parte de un bloque de material semiconductor dopado de tipo N o de tipo P. En la figura 1 podéis ver el caso en el que se parte de un material de tipo P. En la parte derecha de este bloque se ve cómo se ha creado un contacto y aparece una conexión que recibe el nombre de terminal de sustrato (SS⁴).

Ved también

Podéis ver el módulo “Materiales y tecnologías de fabricación de circuitos integrados” de esta asignatura.

⁽⁴⁾Del inglés *substrate*.

Figura 1. Estructura básica de un transistor tipo MOSFET



Además, la figura 1 muestra cómo disponemos de dos zonas de material con un dopaje contrario al del bloque usado como soporte inicial. De este modo, si el bloque es de tipo P, se han generado dos islas de tipo N, mientras que si el material es de tipo N, se generarán dos zonas de tipo P. Sobre cada una de estas zonas se dispone un contacto que da lugar a los terminales de fuente (S^5) y drenador (D^6). Por lo tanto, vemos que estas dos zonas constituyen dos uniones PN enfrentadas. También sabemos que en la zona de separación entre la fuente y el drenador se dispone una fina capa aislante que en la mayoría de ocasiones es dióxido de silicio. Sobre esta capa aislante se forma un contacto que se corresponde al terminal denominado terminal de puerta (G^7).

La parte formada por el metal, el aislante y el semiconductor que podéis ver en la figura 1 recibe de forma genérica el nombre de **estructura MIS**⁸, o **metal-aislante-semiconductor**. En este caso, puesto que en la estructura que describimos aquí, el aislante es un óxido, recibe el nombre de **metal-óxido-semiconductor**. Y esto da el nombre MOS. Esta estructura será la responsable del modo de funcionamiento de los transistores MOSFET que veremos a continuación. En concreto, podemos avanzar que, al haber un aislante entre la puerta y el dispositivo, los electrones no pueden circular por el terminal de puerta.

Los símbolos circuitales de los transistores MOSFET son los que podéis ver en las figuras 2 y 3, y que se utilizan como representación en los diseños y esquemas de circuitos electrónicos.

⁽⁵⁾Del inglés *source*.

⁽⁶⁾Del inglés *drain*.

⁽⁷⁾Del inglés *gate*.

Transistores FET de puerta aislada

De esta construcción se puede deducir que el terminal de puerta no toca directamente el semiconductor, puesto que entre ellos hay una capa de material aislante. Por este motivo, a los MOSFET también se los denomina transistores FET de puerta aislada.

⁽⁸⁾MIS es la sigla de la expresión inglesa *metal-insulator-semiconductor*.

Figura 2. Representación circuital de un transistor MOSFET de canal N, o nMOS

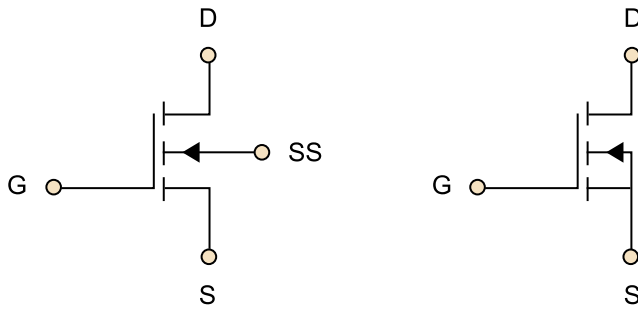
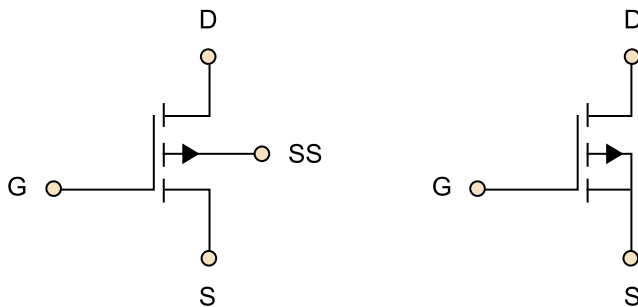


Figura 3. Representación circuital de un transistor MOSFET de canal P, o pMOS



Como se observa en las figuras, el sustrato (SS) y la fuente (S) se encuentran normalmente cortocircuitados (unidos entre sí por un conductor), de forma que obtenemos un componente de tres terminales. Este es el tipo de transistor más usualmente utilizado a la práctica. Nos podemos fijar en dos detalles importantes de estos símbolos:

- La flecha que aparece en el terminal de sustrato siempre tiene la orientación que va del dopaje P hacia la N. Esta es una característica típica y sirve como ayuda para recordar el símbolo de cada tipo de transistor.
- El terminal de puerta no está conectado al resto de terminales en el dibujo. Con esto se quiere enfatizar el hecho de que hay una capa aislante entre el terminal de puerta y el bloque semiconductor que impide el paso de corriente por este terminal.

Una vez conocida la estructura física básica de los transistores de tipos MOSFET y sus símbolos circuitales, el siguiente paso será dar unas pinceladas sobre su mecanismo de funcionamiento interno. A partir del conocimiento de su funcionamiento, seremos capaces de modelizar su comportamiento en términos de tensiones y corrientes.

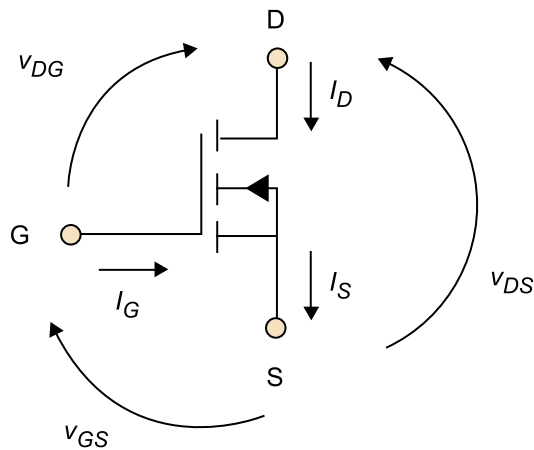
Como hemos comentado, una de las aplicaciones más típicas de los transistores MOSFET es su uso en circuitos digitales, y en concreto para construir puertas lógicas. Para entender estas puertas lógicas hace falta primero dar unas pinceladas del comportamiento eléctrico del MOSFET.

2.2. Funcionamiento del transistor MOSFET

En este subapartado describiremos el funcionamiento interno de un MOSFET. Cuando conozcamos su funcionamiento interno de manera intuitiva, estaremos en condiciones de intentar deducir cuándo deja pasar corriente y cuándo no, y por lo tanto, cómo se comporta dentro de un circuito digital.

Para hacer el estudio del funcionamiento del transistor, repasemos en primer lugar el número de variables eléctricas de que disponemos a partir de la figura 4.

Figura 4. Variables eléctricas de un MOSFET



Por un lado, tiene que cumplirse la relación entre tensiones:

$$v_{GS} + v_{DG} = v_{DS} \quad 2.1$$

En efecto, si partimos del terminal de puerta G y volvemos otra vez hacia él estamos siguiendo un camino cerrado y la caída de potencia total entonces es nula. De la ecuación 2.1 deducimos que solo hay dos tensiones independientes. Habitualmente, se puede tomar como terminal de referencia la fuente, de tal manera que las dos tensiones independientes son v_{GS} y v_{DS} .

Por otro lado, y respecto a las intensidades de corriente, como el terminal de puerta está aislado del resto del circuito por la capa de aislante, tenemos que la corriente continua es:

$$I_G = 0 \quad 2.2$$

y, por lo tanto, la corriente de drenador tiene que ser igual a la corriente de fuente:

$$I_D = I_S \quad 2.3$$

Observamos, pues, que solo hay una corriente independiente, y se suele tomar I_D .

Es importante destacar en este punto que el MOSFET es un dispositivo controlado por tensión, es decir, será la tensión de puerta la que controle la corriente que atraviesa el dispositivo.

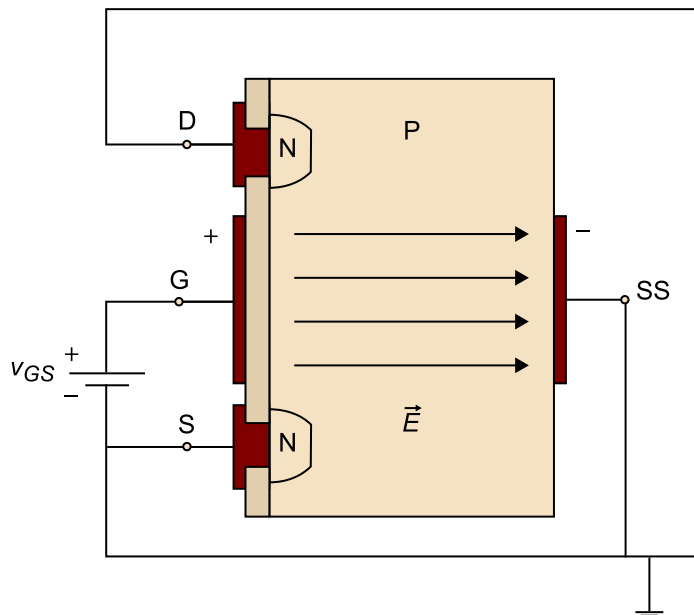
Por lo tanto, ahora nos interesa analizar el efecto del cambio de las tensiones v_{GS} y v_{DS} en la corriente I_D .

2.2.1. Influencia de v_{GS}

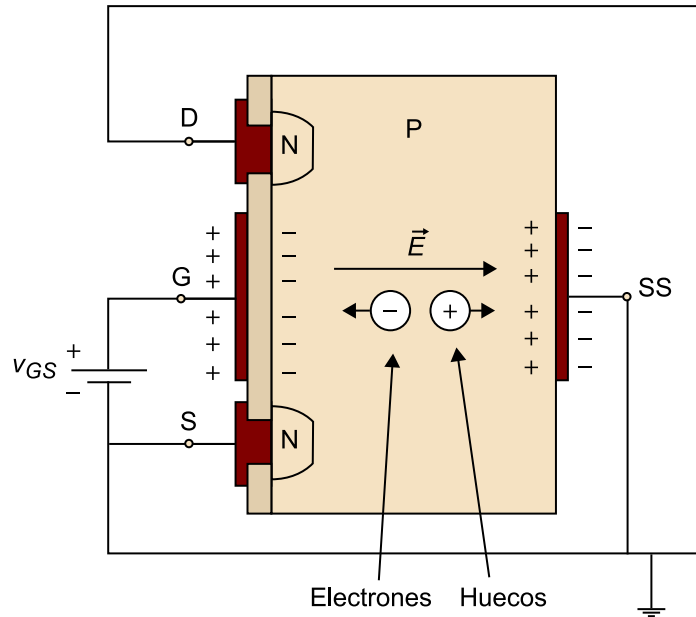
En este subapartado veremos cómo se comporta el transistor al variar los valores de v_{GS} , mientras se mantiene v_{DS} nula. En primer lugar consideraremos la situación en que v_{GS} es cero, y después aumentaremos este valor.

Si inicialmente hacemos que v_{GS} sea cero, entonces estaremos en ausencia de excitación externa. En tal caso, no circulará corriente eléctrica por el dispositivo porque ambas uniones estarán en su situación de equilibrio y, por lo tanto, $I_D = 0$. A continuación, si aumentamos el valor del potencial de puerta, v_{GS} , como muestra la figura 5, aparece un campo eléctrico entre el terminal de puerta y el de sustrato, a causa de que ambas placas se comportan como un condensador.

Figura 5. Efecto de una tensión $v_{GS} > 0$ en un MOSFET

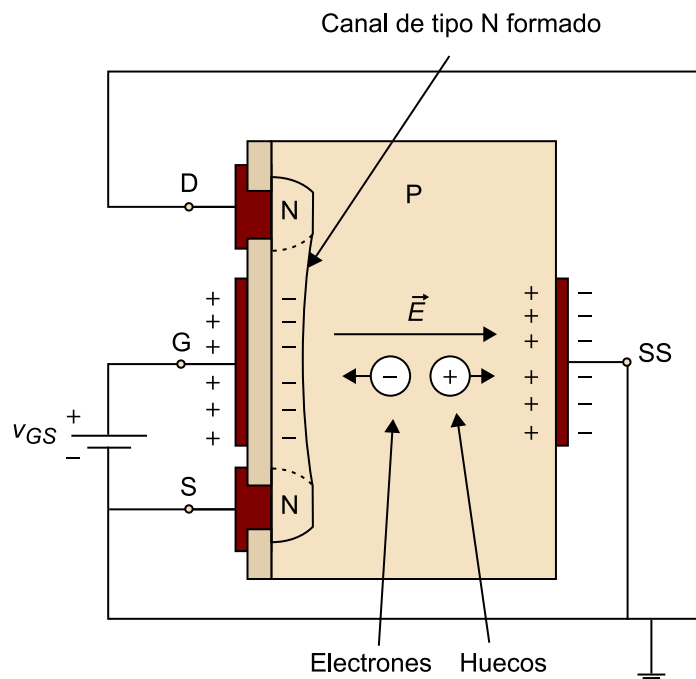


El campo eléctrico que aparece conduce los electrones libres desde el bloque semiconductor hacia la zona de puerta, y asimismo aleja los huecos hacia la zona del sustrato, como aparece en la figura 6. Los electrones se dirigen a la puerta y allí se acumulan.

Figura 6. Desplazamiento de portadores cuando $v_{GS} > 0$ en un MOSFET

Las cargas quedan detenidas en esta posición, puesto que por la puerta no puede circular corriente, al estar aislada. Para valores pequeños de esta tensión, la acumulación de electrones será pequeña, pero a partir de un cierto umbral de tensión, la acumulación de electrones se hará suficientemente importante como para que su efecto sea parecido al de tener una “zona N”. Es decir, diremos que se formará un canal de tipo N que unirá los terminales de drenador y fuente, como ilustra la figura 7. Este canal, de hecho, “conecta” los terminales de drenador y fuente, y permitirá que fluya la corriente I_D .

Figura 7. Formación de un canal tipo N en un MOSFET



También podemos destacar que si utilizamos tensiones $v_{GS} < 0$ ocurrirá el mismo fenómeno de acumulación de cargas, pero ahora se tratará de huecos en la puerta y electrones en el sustrato. Por lo tanto, la unión PN del drenador estará más inversamente polarizada y el dispositivo se encontrará en corte sin que exista un canal por donde circulen los portadores. En cuanto a la corriente, pues, no circula por el canal, lo cual es el mismo efecto que cuando $v_{GS} = 0$.

Hemos visto, pues, que la aplicación de una tensión v_{GS} positiva externa es un elemento imprescindible para la formación del canal. En esta situación, vemos a continuación cómo influye el valor de v_{DS} .

2.2.2. Influencia de v_{DS}

En este subapartado estudiaremos la influencia de v_{DS} para valores positivos de v_{GS} . En estos razonamientos vamos a suponer que la tensión puerta-fuente es lo suficientemente alta y que, por lo tanto, se ha formado un canal de tipo N en el transistor. Empezaremos por valores pequeños de v_{DS} y los aumentaremos progresivamente:

a) Cuando el potencial v_{DS} es relativamente bajo, se origina una corriente eléctrica I_D que atraviesa el canal. Al aumentar la tensión v_{GS} , aumenta la anchura del canal, y puede haber una corriente más intensa para un valor de tensión v_{DS} fijado. Por lo tanto, habrá una relación proporcional entre la tensión v_{DS} e I_D , y será lineal para valores bajos de v_{DS} . Es decir, el dispositivo se comporta como una resistencia lineal cuyo valor dependerá de la anchura del canal, y por lo tanto, del valor de la tensión de puerta v_{GS} .

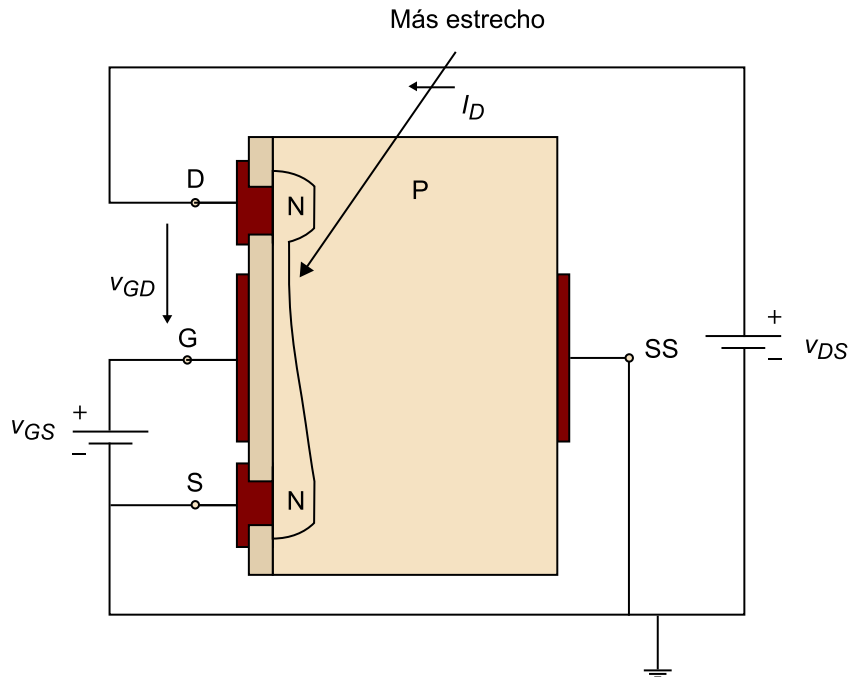
De este modo hemos deducido, a partir de consideraciones físicas, la relación que hay entre la tensión y la corriente aplicada. Pero, ¿la corriente puede aumentar de forma indefinida por la aplicación de la tensión v_{DS} ?

b) A continuación aumentamos el valor de v_{DS} y consideramos otra vez el comportamiento de las tensiones. La tensión v_{DS} se puede calcular a partir de la expresión siguiente:

$$v_{DS} = v_{GS} - v_{GD} \quad 2.4$$

Como $v_{DS} > 0$, esto implica que $v_{GS} > v_{GD}$ y por lo tanto, la anchura del canal será más pequeña en el lado del drenador que en el de la fuente, como muestra la figura 8. Para valores pequeños de v_{DS} , este “estrangulamiento” del canal no será demasiado importante, pero a medida que la tensión v_{DS} aumente, el estrangulamiento empezará a ser más notorio. Llega un momento en que el canal se ha reducido tanto que se produce un **estrangulamiento**.

Figura 8. Diferencias de anchura de canal debido a las diferentes tensiones



c) Cuando v_{DS} alcance una cierta tensión de saturación v_{DSsat} , el canal se habrá cerrado por completo. A partir de este instante, la corriente I_D permanecerá igual a un valor constante independientemente del valor de v_{DS} , que será mayor que v_{DSsat} .

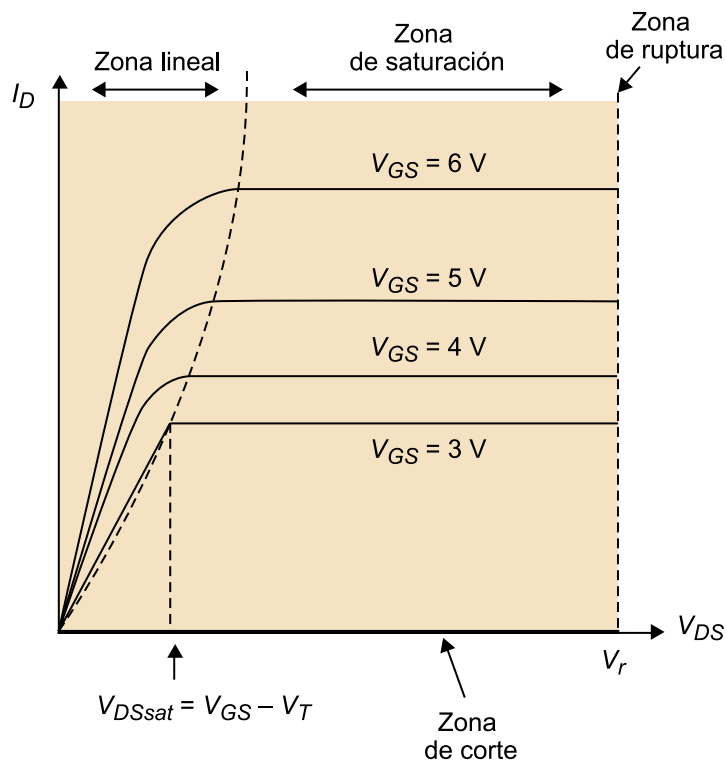
Es importante recalcar que la corriente no se anula al cerrarse el canal. Si esto sucediera, el drenador y la fuente estarían al mismo potencial, lo cual implicaría que v_{GS} y v_{DS} serían iguales, y por lo tanto el canal ya no habría experimentado dicho estrangulamiento.

El valor de tensión v_{DSsat} define la tensión a partir de la cual la corriente I_D permanece constante.

Para valores más grandes de v_{GS} , ocurrirían los mismos fenómenos que hemos comentado, pero con valores más grandes de la intensidad de drenador, puesto que al aumentar v_{GS} el canal se hace más ancho y favorece el paso de corriente.

2.2.3. Característica corriente-tensión del MOSFET

En el subapartado anterior hemos conocido el comportamiento básico del transistor MOSFET. A partir de las consideraciones hechas ya podemos construir las curvas características del dispositivo, que dan lugar a la figura 9.

Figura 9. Curva característica corriente-tensión (I - V) del MOSFET de canal N

Como podéis ver en la figura 9, las curvas para diferentes valores de v_{GS} son las mismas pero desplazadas hacia arriba. También aparece marcado en la figura que hay cuatro regiones de funcionamiento.

Las regiones de operación de un MOSFET son:

- Zona de corte.
- Zona óhmica o lineal.
- Zona de ruptura.
- Zona de saturación o corriente constante.

Algunas zonas o estados han sido comentados en el subapartado anterior, y ahora se trata simplemente de identificarlas bien. En este sentido, la **zona de corte** se da cuando v_{GS} es menor o igual a una tensión umbral v_T , y como ya hemos comentado, no circula corriente por el dispositivo. En la figura 9 está marcado como una línea continua para I_D igual a cero.

En la curva vemos que, para una determinada v_{GS} superior al umbral (por ejemplo, 3 V, 4 V, 5 V o 6 V, tal como está representado), la tensión v_{DS} marca si nos encontramos en **zona lineal** (cuando el canal todavía no ha experimentado el estrangulamiento) o en **zona de saturación** (cuando hay estrangulamiento). Esta frontera, establecida por v_{DSsat} , varía según la tensión puerta-fuente, y también según la propia tensión umbral v_T .

Un hecho interesante que queremos destacar es que, para tensiones v_{DS} más elevadas que una cierta tensión límite v_r , el dispositivo abandona también la zona de saturación y entraría **en ruptura**, que representaría que la corriente aumenta mucho y el dispositivo se destruye.

En la zona de saturación, el transistor se comporta como una fuente de corriente controlada por tensión. Se puede demostrar que la relación entre la tensión aplicada y la corriente viene dada por la expresión siguiente:

$$I_D = K(v_{GS} - v_T)^2 \quad 2.5$$

En esta expresión, K es una constante que depende del dispositivo, y v_T es la tensión mínima para salir de la zona de corte, llamada tensión umbral, que hemos definido anteriormente.

Podemos utilizar esta ecuación para establecer el comportamiento eléctrico del transistor en esta región, en la que vemos que, efectivamente, no depende de v_{DS} , sino que es una zona plana según la característica $I - V$.

Hay que destacar que con la tensión de puerta estamos regulando el paso de corriente, por eso decimos que es una **fente de corriente regulada por tensión**. En el contexto de nuestro interés para los circuitos integrados, vemos que esta zona nos permitirá usar el dispositivo como **un interruptor**: sin tensión en la puerta, el interruptor estará en **OFF** (no conduce corriente); y con una cierta tensión en la puerta, induciremos un estado **ON** (con una cierta corriente dada por la ecuación 2.5).

Para conseguir que el MOSFET se encuentre en una región o en otra, es necesario que los elementos circuitales que lo rodean aseguren que se encuentra polarizado en esta zona de tensiones y corrientes concreta.

Así terminamos de estudiar el comportamiento del transistor MOSFET y sus curvas y características de funcionamiento. A continuación veremos la aplicación de la tecnología MOSFET en los circuitos digitales, que es uno de sus mayores campos de utilización hoy en día.

3. Uso del MOSFET en circuitos digitales

La tecnología de transistores MOSFET es la más ampliamente utilizada en el diseño de circuitos digitales integrados, especialmente en aquellos casos en los que se exige integrar una gran cantidad de transistores en una superficie semiconductora. De este modo, la tecnología de transistores de tipo MOS ha desplazado a la tecnología basada en BJT con el paso de los años.

Ya a finales de los años noventa del siglo pasado, el 88% del mercado de circuitos integrados estaba basado en transistores de tecnología MOS, mientras que el 8% se basaba en transistores bipolares, y el 4% restante en dispositivos optoelectrónicos de tecnología de semiconductores compuestos, como por ejemplo el arseniuro de galio.

Si los MOSFET utilizados para fabricar el circuito integrado son de canal N se dice que la tecnología es de tipo nMOS, mientras que si son de canal P, hablamos de pMOS. Si se utilizan a la vez transistores de tecnologías nMOS y pMOS, se dice que la tecnología utilizada es CMOS (nomenclatura que viene de *MOS complementaria*).

Semiconductores compuestos

Se denominan semiconductores compuestos aquellos semiconductores creados a partir de múltiples elementos químicos. El arseniuro de galio es uno de ellos, puesto que para ser semiconductor necesita la composición de los dos elementos, arsénico y galio, en contraposición al silicio o al germanio, que son semiconductores en sustancia pura.

Hay diferentes motivos, tanto tecnológicos como económicos, que hacen más recomendable el uso de una tecnología u otra según la aplicación y las condiciones.

A manera de breve resumen se podría decir que las tecnologías pMOS, nMOS y CMOS se diferencian en los aspectos siguientes:

- Con la tecnología pMOS, es muy sencillo el diseño y la fabricación de los circuitos.
- La familia nMOS permite una densidad de integración mayor, es decir, se pueden fabricar un número mayor de transistores en una misma superficie, que utilizando tecnología pMOS.
- La familia tecnológica de las CMOS es de las más rápidas, y es a la vez una de las que menos energía consumen, pero tiene en contra el hecho de que su diseño y fabricación son más complejos, y por lo tanto es la familia que resulta más cara de diseñar y fabricar.

Nuestro objetivo en este apartado es comprobar cómo se pueden sintetizar funciones digitales sencillas utilizando transistores MOSFET. Sin embargo, antes de empezar, recordaremos unos conceptos básicos sobre electrónica digi-

tal. A continuación, veremos cómo sintetizar una de las puertas lógicas más importantes, la NOT (o puerta inversora), utilizando a manera de ejemplo tecnología nMOS.

3.1. Conceptos de electrónica digital

En este subapartado resumiremos brevemente algunos conceptos básicos sobre electrónica digital antes de pasar a la fabricación de una puerta lógica inversora mediante el transistor MOSFET. Los circuitos digitales presentan dos entradas posibles. Ambas entradas reciben el nombre de 0 lógico y 1 lógico.

Estos dos valores simbólicos (0,1) están asociados a dos valores de tensión concretos. En todo lo que sigue supondremos que el 0 lógico corresponde a una tensión de 0 V (cero voltios) y el 1 lógico corresponde a una tensión alta, como por ejemplo, la tensión de alimentación del circuito digital, V_{DD} . Por lo tanto, aquello que procesa el circuito, y que será la entrada al transistor MOSFET, será una señal de tensión que toma valores únicamente de 0 V y de V_{DD} . Estos dos valores de tensión provocan que el MOSFET tenga un comportamiento como el de un interruptor: el transistor cambia de manera de operar entre los estados de corte y de saturación, como se ha visto en el apartado anterior. Esta es la característica básica del MOSFET funcionando en un circuito digital. Si la tensión de entrada tiene un valor intermedio entre estas dos, el circuito digital interpretará o un valor de 0 o de 1, en función del umbral permitido para cada valor.

Los cambios en la tensión de entrada provocarán un cambio en la tensión de salida, que también tomará únicamente valores de 0 V y V_{DD} . Dado que hemos denominado simbólicamente estas tensiones 0 y 1, respectivamente, lo que hace el circuito es generar un valor de 0 o 1 a la salida ante un valor concreto (de 0 o 1) a la entrada. Una manera simple de describir cómo es la salida del circuito ante cualquier valor de entrada es por medio de una **tabla de verdad**. Recordad que una tabla de verdad contiene la salida del circuito para cualquier valor posible de la entrada.

Recordemos en qué consiste una tabla de verdad; por ejemplo, la de una puerta NOT. En la tabla 1 observamos las dos posibles entradas (0 y 1) de la puerta NOT, y la salida para cada una de ellas. En este caso se trata de una tabla muy sencilla, pero podríamos pensar en funciones lógicas de muchos bits y mucho más complejas, que también podríamos representar con su tabla de verdad.

Cabe tener presente que los valores de 0 y 1 corresponden en realidad a los valores de tensión de 0 y V_{DD} voltios respectivamente, y que 0 y 1 son solo sus representaciones simbólicas.

Tabla 1. Tabla de verdad de la función lógica NOT

Entrada	Salida
0	1
1	0

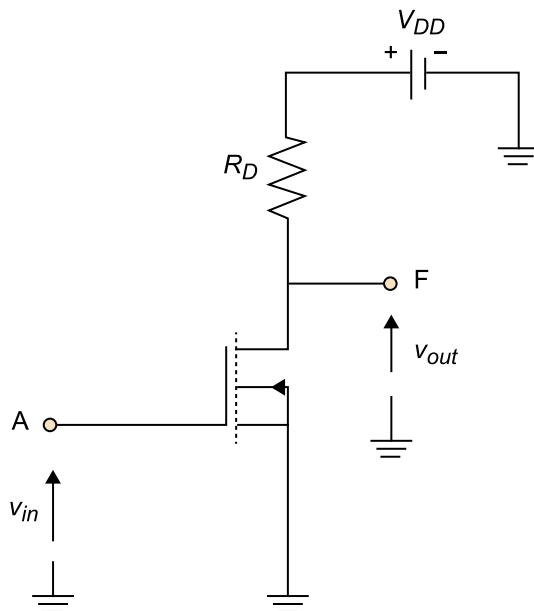
A continuación veremos cómo se puede sintetizar esta puerta NOT mediante circuitos basados en MOSFET. El circuito que planteamos tendrá que comportarse siguiendo la tabla de verdad correspondiente.

3.2. Puerta NOT con transistor nMOS

En este subapartado veremos cómo implementar una puerta NOT, es decir, una negación o inversión de la señal, mediante el transistor MOSFET de canal N. Para el caso de MOSFET de canal P, sería todo igual salvo que la señal de alimentación V_{DD} sería negativa.

El circuito inversor, o puerta NOT, está representado en la figura 10. La señal de entrada viene dada por v_{in} mientras que la salida está etiquetada como v_{out} .

Figura 10. Puerta NOT fabricada con MOSFET de canal N



También se puede observar en la figura 10 cómo aparece una fuente de alimentación continua dada por V_{DD} . Por lo tanto, en este circuito:

- Una señal de tensión nula se corresponde con un 0 lógico.
- Una señal de tensión de valor V_{DD} se corresponde con un 1 lógico.

Si a la entrada v_i no hay tensión, es decir, hay un 0 lógico, entonces $v_{GS} = 0$ y no se formará el canal. En consecuencia, no circulará corriente por el transistor. Si no circula corriente, entonces $I_D = 0$, y en la resistencia R_D no caerá ninguna tensión, puesto que está colocada en serie con el transistor. Por lo tanto, la tensión que se registre en v_{out} será de V_{DD} . Es decir, tendremos un 1 lógico a la salida.

Si por el contrario, la tensión que aplicamos a la entrada, v_{in} , es cercana a V_{DD} , es decir, se trata de un 1 lógico, entonces v_{GS} será positivo e igual a V_{DD} . Por lo tanto, v_{GS} será lo bastante alta y se formará un canal en el transistor. En consecuencia, circulará corriente por el canal, y habrá una caída de potencial en la resistencia R_D . Si esta resistencia tiene un valor lo bastante alto para que esta caída de potencial sea muy alta, entonces allí caerán casi todos los V_{DD} voltios y en v_{out} se registrarán 0 V, que se corresponde con la señal de un 0 lógico. Es decir, el circuito de la figura 10 invierte la entrada, satisface la tabla de verdad vista en la tabla 1, y por lo tanto, podemos decir que se comporta como una puerta NOT.

La clave del funcionamiento de la puerta NOT, como podéis deducir de este análisis, es que el transistor **conmuta** desde un **estado de corte** a un estado de conducción (en la región de **saturación**) y viceversa. Es esta conmutación la que permite sintetizar la puerta NOT y representa el comportamiento general de los transistores en circuitos lógicos.

Sin embargo, esta implementación tiene un inconveniente. El circuito funciona, pero el valor de R_D tiene que ser elevado y esto es un problema en un circuito integrado. Uno de los retos de la electrónica digital es la integración de los componentes en tamaños cada vez menores, y desgraciadamente, a pesar de lo que podría parecer, es mucho más simple integrar un MOSFET entero que una resistencia, puesto que hacer grandes resistencias en superficies pequeñas es enormemente costoso.

¿Qué solución tenemos para este problema? Como hemos mencionado en los apartados anteriores, el MOSFET se puede comportar como una resistencia si trabaja en la región lineal u óhmica. Luego, una posible solución sería integrar un transistor que trabaje en su región lineal, en lugar de esta resistencia de valor elevado. También se plantean otras opciones, siendo una de ellas la clave de la tecnología llamada CMOS, donde se combina un transistor nMOS con un pMOS para obtener una celda con una serie de propiedades que veremos en el apartado siguiente.

4. Circuitos digitales básicos CMOS

El estudio de las características de las puertas lógicas básicas en tecnología CMOS ha sido indispensable para el desarrollo y mejora del diseño de circuitos integrados. El **inversor CMOS**, que es la puerta más sencilla, es el punto de partida para el análisis de puertas más complejas. En primer lugar veremos el funcionamiento de este dispositivo desde el punto de vista de parámetros en continua, y cómo las características de estos determinan su diseño físico.

4.1. Inversor CMOS

Hay diferentes tipos de inversores, entre ellos el CMOS. De hecho, hemos visto cómo crear una puerta NOT a partir de un transistor MOSFET y el uso de una resistencia. Ahora nos adentraremos ya en el análisis de un circuito CMOS, basado en dos transistores, pMOS y nMOS, que presenta un conjunto de ventajas sobre aquella configuración.

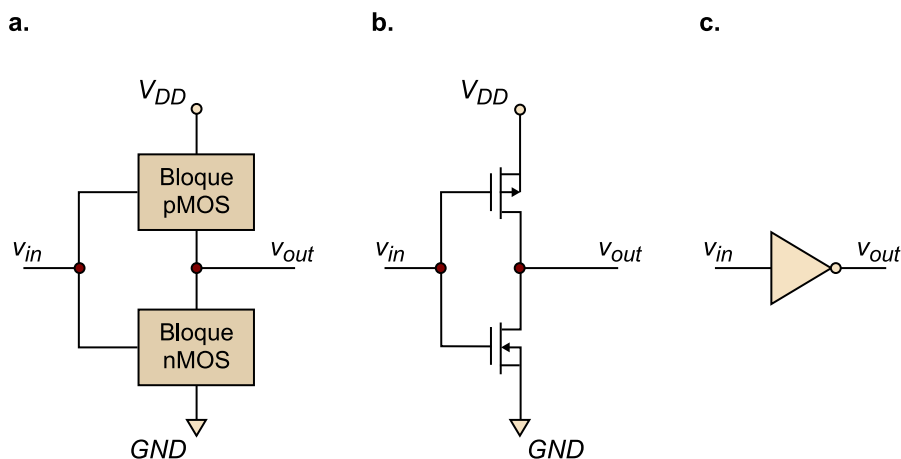
Ved también

Las puertas NOT con transistor nMOS se estudian en el subapartado 3.2 de este módulo didáctico.

En efecto, este inversor se caracteriza por incluir en su estructura **dos transistores MOSFET**, uno **de canal N** y otro **de canal P**, de tal manera que con la misma entrada de puerta común se consigue que trabajen de forma complementaria. Las características de estos transistores, tal y como se explica más adelante, determinan el diseño de este dispositivo.

Para obtener la lógica de la tabla 1, en un inversor CMOS se disponen dos transistores, uno de canal N y uno de canal P, tal como se muestra a la figura 11. En la figura 11a vemos lo que sería un diagrama de bloques, en el que el bloque superior corresponde al pMOS, y el inferior al nMOS. En la figura 11b vemos los transistores correspondientes, mientras que en la figura 11c presentamos el diagrama circuital de una puerta inversora.

Figura 11. Inversor CMOS



a. Esquema por bloques; b. Transistores; c. Símbolo circuital

Como vemos, ambos transistores tienen la misma entrada, sus puertas están conectadas a la misma entrada del inversor. La fuente del nMOS está conectada a masa, mientras que la fuente del pMOS está conectada a la alimentación de V_{DD} V. Así nos aseguraremos de que la salida o bien es de 0 V, o bien es de V_{DD} V, pero no tomará estados lógicos indeterminados, como sería el caso si la salida tomara una tensión intermedia. Esto sucede porque, como veremos, cuando un transistor está en conducción, el otro está en corte, y viceversa.

4.1.1. Funcionamiento básico. El modelo interruptor

Como hemos visto, podemos modelizar un transistor MOSFET de manera sencilla considerando que, o bien conduce corriente en estado de conducción (ON), o bien no conduce corriente en estado de corte (OFF). Estos dos estados dependen solo de la tensión v_{GS} que vea su puerta. Para modelizar el inversor de manera sencilla, podemos utilizar en primer lugar este modelo simplificado, llamado **modelo de interruptor**.

Ved también

El funcionamiento de los transistores MOSFET se estudia en el subapartado 2.2 de este módulo didáctico.

En concreto, hemos visto para un nMOS que para una tensión v_{GS} superior a una tensión umbral pequeña v_T , el transistor conduce y entra en zona de saturación. Por debajo de esta, está en corte. Podemos denotar esta tensión umbral por v_{Tn} , para indicar que se trata de la de nMOS. De manera análoga y complementaria, para un pMOS sabemos que la tensión v_{GS} tiene que estar por debajo de un umbral v_{Tp} para que el transistor conduzca. Encontramos estas cuatro condiciones en la tabla 2.

Tabla 2. Estados de los transistores MOSFET según tensión v_{GS}

MOSFET	Condición	Estado
nMOS	$v_{GS} < v_{Tn}$	OFF
nMOS	$v_{GS} > v_{Tn}$	ON
pMOS	$v_{GS} > v_{Tp}$	OFF
pMOS	$v_{GS} < v_{Tp}$	ON

Podemos analizar los dos casos de estado lógico: cuando a la entrada v_{in} hay un 1 lógico, que se corresponde con V_{DD} ; y cuando hay un 0 lógico, que se corresponde con 0 V. En el primer caso, vemos que la tensión v_{GS} del transistor inferior, el nMOS, es positiva y superior a su umbral v_{Tn} , y por lo tanto estará en estado ON. Por su parte, el transistor pMOS ve una tensión igual entre su puerta y su fuente (conectada a la alimentación), y por lo tanto estará en estado OFF. Esto hace, pues, que en este modelo de interruptores, la salida v_{out} esté “conectada” por los interruptores a masa, y por lo tanto, consista en 0 V o un 0 lógico. Nótese que el nMOS opera a tensión de drenador-fuente casi cero, y tampoco hay corriente I_D , pero como el canal está activado, proporciona un

camino de baja resistencia entre la salida y masa (0 V), y por eso se le denomina **transistor de caída** (*pull-down*). Este término no se asocia en general directamente a cualquier transistor nMOS en general, sino a esta configuración en particular, en la que se lo sitúa con la fuente a masa.

De manera análoga, cuando a la entrada tenemos 0 V, es el transistor pMOS superior el que está en estado ON, y el transistor nMOS está en estado OFF. Por lo tanto, la salida está “conectada” a la línea superior de alimentación, que es un 1 lógico. Se dice que el transistor pMOS hace un *pull-up* de la salida hacia valores altos de tensión.

Ambos casos, pues, nos proporcionan la tabla de verdad que buscábamos, que es la reflejada en la tabla 1. Como podemos observar, los dos transistores operan de manera complementaria, de aquí el nombre de la tecnología CMOS. La primera ventaja, y más evidente, con respecto al circuito de la figura 10 es que no se consume la corriente que pasaba por la resistencia de aquel circuito. De hecho, en el caso CMOS no hay ningún camino para la corriente directa de V_{DD} a masa, y por lo tanto, la corriente estática y la disipación de potencia estática son ambas cero (posibles efectos parásitos de escape son tan pequeños que casi siempre son negligibles).

También tiene una ventaja adicional importante, y es que el inversor está formado por dos transistores, lo cual facilita enormemente su integración y fabricación (siguiendo los procesos que ya conocéis), con respecto a tener que integrar una resistencia de grandes dimensiones. Un transistor MOSFET en corte actúa de hecho como una resistencia muy alta, que tiende a infinito.

Ved también

Los procesos de integración y fabricación de circuitos integrados se estudian en el módulo “Materiales y tecnologías de fabricación de circuitos integrados” de esta asignatura.

Un inversor CMOS está formado por dos transistores MOSFET, uno de canal N y uno de canal P, que permiten disponer de una puerta lógica inversora con alta capacidad de integración en un circuito y con consumo de corriente muy pequeño.

4.1.2. Característica de transferencia del inversor CMOS

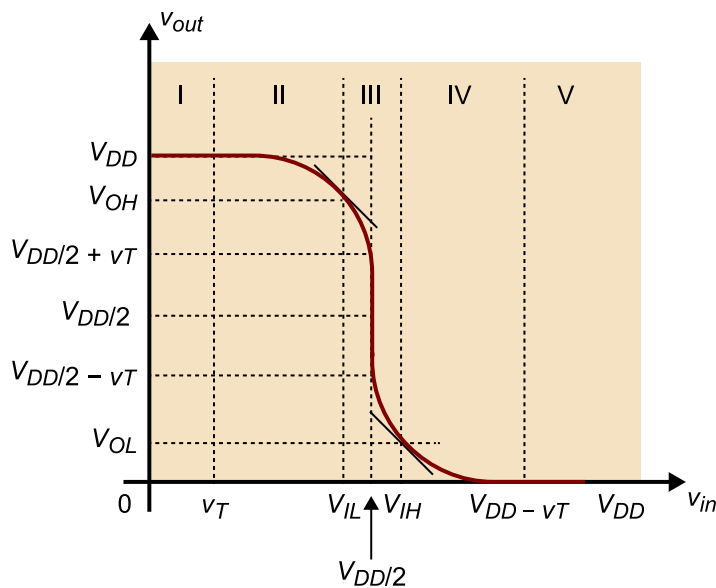
En este subapartado profundizaremos un poco más en el funcionamiento de este inversor CMOS, puesto que es un buen ejemplo para entender más características de esta tecnología. Un análisis más profundo de su funcionamiento consiste en analizar la respuesta en tensión salida respecto de la entrada, no solamente para dos puntos concretos (0 y V_{DD} V, como hemos visto anteriormente), sino para todo un rango de tensiones.

La **característica de transferencia** de tensión es una representación gráfica del cambio en la tensión de salida cuando se modifica la tensión de entrada. En este caso vendrá caracterizada por el estado de conducción en el que se encuentren los transistores que forman la puerta lógica.

Suponemos en este análisis que las características de los dos transistores son iguales, incluyendo las tensiones umbral $v_T = v_{Tn} = v_{Tp}$. También tomaremos como supuesto que la tensión de alimentación V_{DD} es mayor que dos veces la magnitud de la tensión umbral v_T , cosa muy habitual a la práctica.

La curva de transferencia de tensión es la que viene dada por la figura 12, y que a continuación explicaremos. En primer lugar, podemos observar lo que ya sabíamos, y es que en los extremos (para las entradas 0 y V_{DD} V), la salida se encuentra invertida (V_{DD} y 0 V). A medida que la tensión de entrada v_{in} varía de cero al valor máximo V_{DD} , la tensión de salida v_{out} se reduce de V_{DD} a 0 V. Dependiendo de la tensión de entrada, la característica de transferencia se puede dividir en cinco regiones.

Figura 12. Curva de transferencia de tensión del inversor CMOS



La **región I** se corresponde con $0 \leq v_{in} \leq v_T$. Dado que la tensión puerta-fuente del transistor nMOS está por debajo del umbral, se mantiene en corte. Como la corriente de drenador de los dos transistores es nula, V_{DS} del transistor pMOS es 0 V y se mantiene en zona óhmica. El canal está formado, y por lo tanto, la tensión de salida es V_{DD} (el transistor hace *pull-up*, como hemos visto antes). Fijaos en que suponemos que a la salida no hay carga y por lo tanto no hay corriente.

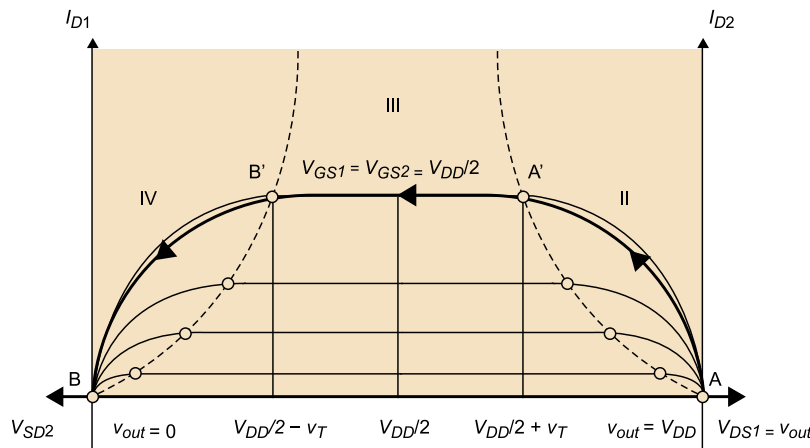
La **región V** se corresponde con $V_{DD} - v_T \leq v_{in} \leq V_{DD}$, y en cuanto a funcionamiento es equivalente a la región I, pero es el transistor pMOS el que se encuentra en corte, y el nMOS hace un *pull-down* de la salida a 0 V.

Para analizar el resto de regiones (II, III y IV), será necesario utilizar también la información presentada en la figura 13. En esta figura vemos representadas en los dos ejes verticales las corrientes de drenador de ambos transistores, donde 1 indica el nMOS y 2 indica el pMOS. De hecho, son como dos gráficas superpuestas: son las dos gráficas $I - V$ de los dos transistores que comparten el eje horizontal, y dada la topología del circuito, su corriente es la misma y por lo tanto tienen el mismo eje vertical.

Fijaos en la similitud con la figura 9, en la que también representamos las diferentes curvas según v_{GS} , y el límite entre la zona óhmica y la zona de saturación. Todas estas curvas y separaciones de zonas son las que encontraréis también en la figura 13.

En el eje horizontal vemos la tensión de salida, que va entre 0 y V_{DD} V. Según recorremos este eje, pasamos del punto A, que representa la región I (salida en valor alto), al punto B, que es el de la región V (salida en valor bajo), pasando por A' y B'.

Figura 13. Características tensión-corriente de los transistores del inversor CMOS



Así, la **región II** empieza cuando el transistor 1 (nMOS) empieza a conducir en saturación, mientras que el transistor 2 (pMOS) se encontrará en zona óhmica. Por lo tanto, la tensión de salida irá disminuyendo (a medida que la entrada aumenta) siguiendo estas curvas.

En torno al punto intermedio los dos transistores ya trabajan en saturación, y nos encontramos en la **región III**. Hay una corriente I_D que va de la alimentación a masa pasando por los dos transistores. Hay, pues, disipación de energía hacia masa: circula corriente. Como los dos transistores comparten características, la tensión de salida en su punto medio es $V_{DD}/2$.

Y finalmente, cuando la entrada continúa aumentando de valor, el sistema entra en la **región IV**, que se caracteriza porque es el transistor 1 el que continúa en saturación, mientras que el 2 entra en zona óhmica. Esto hace que la transición hasta el punto B tenga la forma presentada en la figura 12.

De este modo hemos caracterizado cualitativamente los estados de cada transistor, y el porqué de la forma de la curva de transferencia. En este punto cabe destacar que en la figura 12 hemos representado también unos valores de tensiones que es necesario definir, y que son los umbrales que se establecen en un circuito de lógica digital para establecer qué significa que una tensión analógica represente un valor lógico 0 o 1. En concreto:

- V_{IL} : representa el umbral máximo para el cual una tensión de entrada se considera que es un 0 (*L: low*, estado bajo).
- V_{IH} : representa el umbral mínimo para el cual una tensión de entrada se considera que es un 1 (*H: high*, estado alto).
- V_{OL} : representa el umbral máximo para el cual una tensión de salida se considera que es un 0 (*L: low*, estado bajo).
- V_{OH} : representa el umbral mínimo para el cual una tensión de salida se considera que es un 1 (*H: high*, estado alto).

Son valores que se pueden establecer una vez conocemos precisamente esta curva de transferencia. A la práctica se acostumbran a tomar, como buena aproximación, los valores siguientes:

- V_{IL} : $30\%V_{DD}$
- V_{IH} : $70\%V_{DD}$
- V_{OL} : $10\%V_{DD}$
- V_{OH} : $90\%V_{DD}$

Ahora que hemos estudiado con detalle la función y características de la puerta inversora CMOS, conviene destacar su disposición física⁹, es decir, qué capas de material y qué geometría se necesita para fabricarla, y relacionarlo con los conceptos de fabricación de los dispositivos.

4.2. Disposición física de una puerta inversora CMOS

Como ya sabemos, en la disposición física del MOSFET tenemos dos terminales, fuente y drenador, cada uno conectado a regiones altamente dopadas que están separadas por la región del sustrato. En la figura 14 recordamos su estructura de capas, donde también vemos que la puerta se dispone sobre una capa de óxido, normalmente polisilicio. Los tres terminales de fuente, drenador y puerta son capas metálicas o metalizaciones.

⁽⁹⁾En inglés, *layout*.

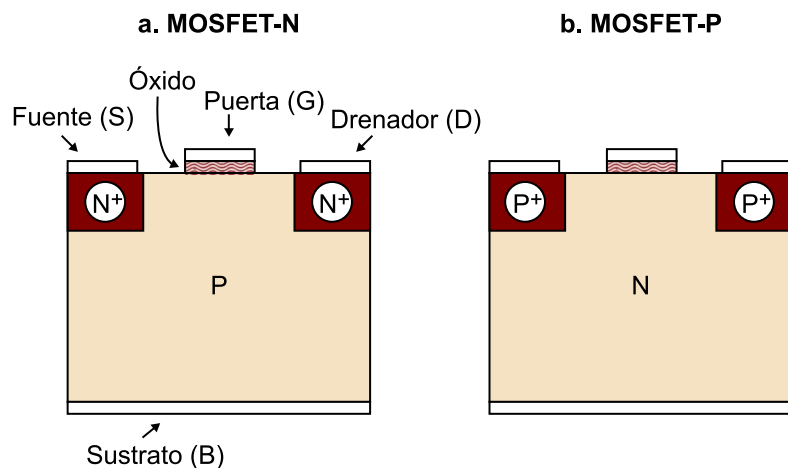
Ved también

La fabricación de circuitos integrados se estudia en el módulo "Materiales y tecnologías de fabricación de circuitos integrados" de esta asignatura.

Ved también

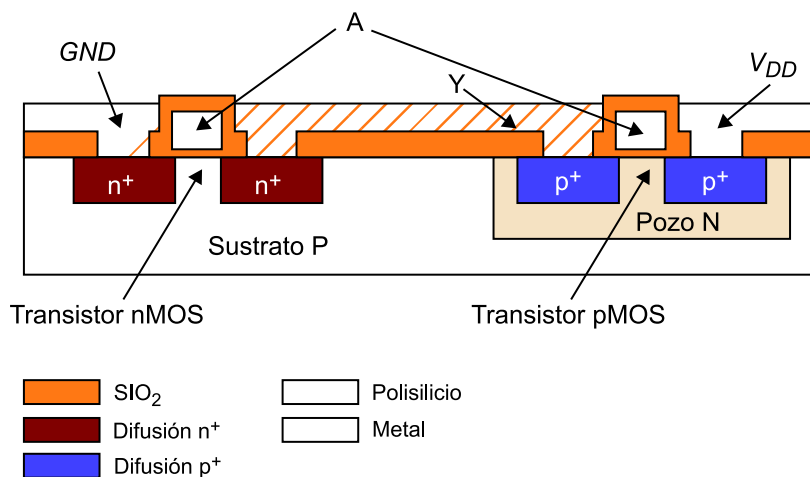
La disposición física del MOSFET se estudia en el módulo "Materiales y tecnologías de fabricación de circuitos integrados" de esta asignatura.

Figura 14. Estructura física de los transistores MOS, N y P



Así pues, para construir una puerta inversora como la de la figura 11 habrá que disponer dos transistores como estos (un nMOS y un pMOS) con ciertas interconexiones, como las que vemos a continuación en la figura 15.

Figura 15. Estructura física del inversor CMOS, corte vertical



Observad que el sustrato de base es de tipo P. Como el transistor pMOS requiere de una región de tipo N, se difunde este dopaje, en el llamado pozo N, de forma que este dispositivo pMOS se forma sobre la base de esta zona.

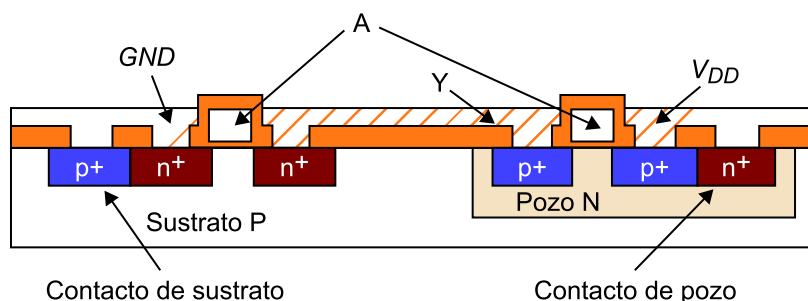
Cabe destacar que también se pueden fabricar CMOS basados en sustratos N, y fabricar pozos P para alojar los transistores nMOS. Es decir, la combinación complementaria es posible.

Como ya sabemos, y hemos recordado en la figura 14, el transistor nMOS se basa en dos regiones N^+ que se encuentran conectadas a las capas metálicas de drenador y fuente, y es lo que queda representado en la figura 15. También vemos cómo disponemos la puerta sobre el óxido, y que el transistor pMOS también se forma siguiendo esta lógica. Vemos que las dos puertas tienen una capa metálica, un punto de entrada al circuito, que denominamos A en la figura (y que tendrá contacto en algún punto del circuito, fuera del corte de la figura). La fuente del nMOS se conecta a la línea metálica de masa, y la fuente del pMOS se conecta a la línea de alimentación V_{DD} . Los drenadores de ambos transistores se conectan con metal para formar el *output* Y. Vemos que disponemos de una capa gruesa de SiO_2 para prevenir que el metal cortocircuite con alguna capa, excepto cuando lo queremos así explícitamente.

Sobre esta disposición básica, que ya permitiría sintetizar un circuito como el que hemos visto, a la práctica se añade algún elemento para asegurar que el sustrato base está a una tensión baja, y en cambio el pozo N está ligado a un potencial o tensión altos. Así aseguramos el correcto funcionamiento de todas las uniones P-N de la estructura. Esto lo podemos hacer creando contactos⁽¹⁰⁾ fuertemente dopados, para conectar GND y V_{DD} al sustrato y al pozo N respectivamente, como mostramos en la figura 16. El alto dopaje es necesario para establecer un buen contacto óhmico que proporcione muy baja resistencia para una corriente bidireccional.

⁽¹⁰⁾En inglés, *taps*.

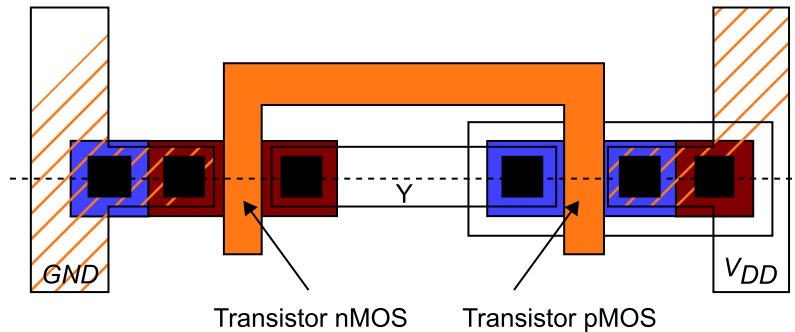
Figura 16. Estructura física del inversor CMOS con contactos, sección vertical



También es interesante hacer una representación en planta de esta sección vertical, es decir, ver el circuito “desde arriba”. Así, tendríamos la llamada disposición física, o *layout*, que podemos ver en la figura 17 con el mismo código

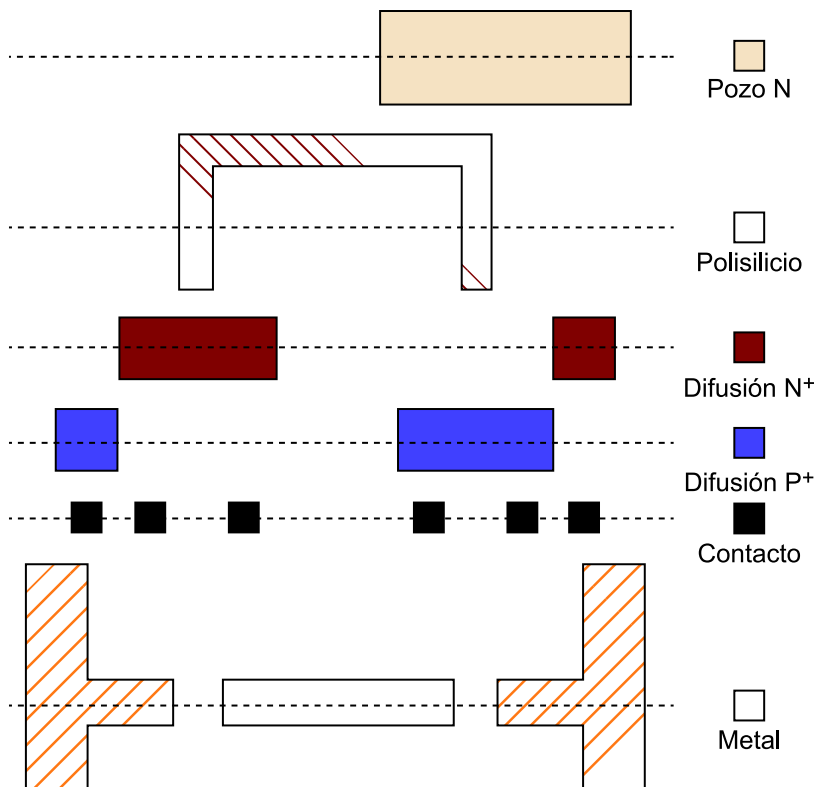
de colores que en las figuras anteriores. Comprobamos cómo las dos metalizaciones de puerta quedan conectadas, y las dimensiones horizontales relativas de todas las capas.

Figura 17. Disposición física del inversor CMOS



Como sabemos, la fabricación de un dispositivo así se basa en el dopaje y la deposición de capas mediante máscaras que delimitan la zona donde queremos que aparezca cada uno de los elementos. En este caso podemos pensar en un conjunto de máscaras, cada una correspondiente a la creación de las diferentes capas, como vemos en la figura 18. Con este conjunto de máscaras, podríamos seguir los pasos de fabricación de circuitos y obleas que ya conocemos. El orden de uso de las máscaras sería de arriba abajo en la figura. El diseñador electrónico es quien genera (con algún software de apoyo adecuado), este tipo de disposiciones físicas que se corresponden directamente con las diferentes máscaras de fabricación.

Figura 18. Conjunto de máscaras para el inversor CMOS



Ahora que hemos analizado con detalle una puerta inversora CMOS (incluyendo su disposición física), podemos presentar otros tipos de circuitos básicos en esta tecnología. A continuación veremos algunas configuraciones más de transistores MOS para diseñar funciones lógicas CMOS.

4.3. Otras puertas lógicas CMOS

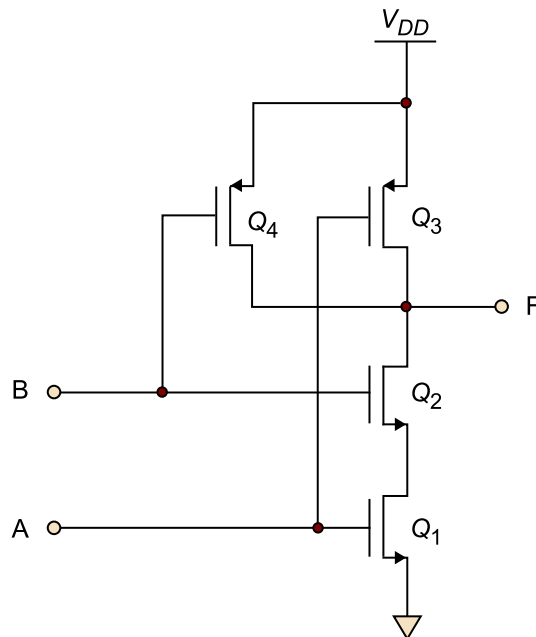
En este subapartado trataremos otras configuraciones de transistores MOSFET que también nos ayudan a sintetizar funciones lógicas utilizando nMOS y pMOS de forma complementaria.

4.3.1. Puerta lógica NAND

La figura 19 muestra una puerta NAND formada por la adición de un MOSFET de canal P en paralelo, y un MOSFET de canal N en serie con el inversor básico. Fijaos que también podemos representar el transistor nMOS con los símbolos de Q_1 y Q_2 , y un pMOS con los símbolos de Q_3 y Q_4 ; son representaciones equivalentes a las utilizadas en figuras anteriores, y que se emplean indistintamente.

Para analizar este circuito conviene recordar que una entrada de 0 V enciende (pone en conducción, ON) el transistor pMOS y en cambio apaga (pone en OFF) el transistor nMOS correspondiente, y viceversa para una entrada de V_{DD} V.

Figura 19. Puerta NAND CMOS



Cuando las dos entradas (A y B) se encuentran a nivel alto ($+V_{DD}$ V), los transistores Q_3 y Q_4 (los pMOS) entran en corte, mientras que los transistores Q_1 y Q_2 (los nMOS) ofrecen una baja resistencia hacia el camino de masa. Esto hace que la salida F se ponga en estado bajo o 0. En cualquier otra combinación de

entradas, siempre habrá un transistor pMOS en conducción, y algún transistor nMOS en corte, y por lo tanto, la salida tomará el valor de la alimentación V_{DD} V, un 1 lógico.

Todo ello hace que la tabla de verdad de esta puerta dé el resultado de la tabla 3, que precisamente es una función de AND negada, también llamada NAND.

Tabla 3. Tabla de verdad para una puerta NAND

Entrada A	Entrada B	Salida F
0	0	1
0	1	1
1	0	1
1	1	0

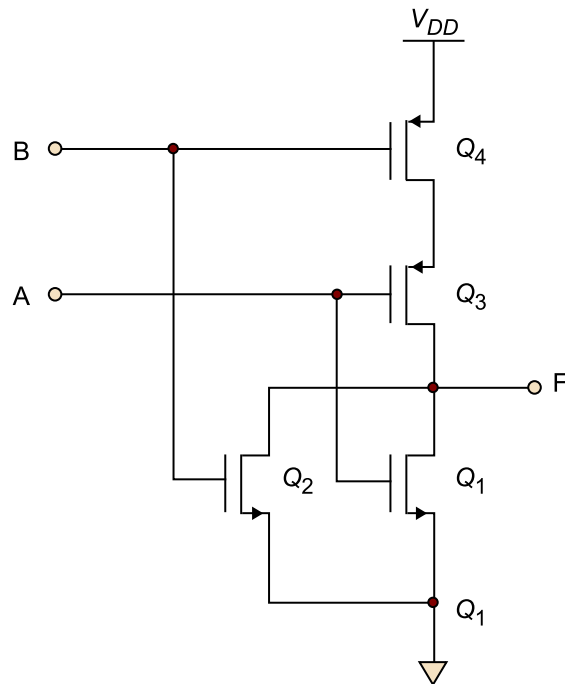
Un aspecto interesante que queremos destacar es que las entradas no usadas de una compuerta CMOS no se pueden dejar abiertas, sin tensión aplicada, porque la salida resultaría ambigua. Cuando sobra alguna entrada de una compuerta CMOS tenemos que conectarla a otra entrada, o a uno de los dos terminales de alimentación (masa o $+V_{DD}$ V). Esto es válido para cualquier circuito CMOS.

También es importante comentar que en electrónica digital podemos implementar cualquier función lógica mediante combinaciones de puertas NOT y NAND. Podemos entender, pues, su importancia, puesto que podríamos fabricar sustratos de tecnología CMOS que consistieran exclusivamente en matrices de puertas NOT y NAND y así seríamos capaces de sintetizar cualquier lógica digital. Aun así, es interesante que veamos brevemente a continuación un tercer ejemplo de circuito CMOS que presenta un funcionamiento similar, como es el caso de la puerta lógica NOR.

4.3.2. Puerta lógica NOR

Una puerta lógica NOR CMOS se forma agregando un transistor pMOS en serie y un nMOS en paralelo al inversor básico de la figura 11, con lo que resulta el circuito que encontramos en la figura 20.

Figura 20. Puerta NOR CMOS



Este circuito, igual que en el caso de la puerta NAND, se puede analizar entendiendo que un estado bajo en ambas entradas A y B provoca que los transistores Q_3 y Q_4 conduzcan, y en cambio Q_1 y Q_2 estarían en corte. La salida encontraría un camino de baja impedancia hacia V_{DD} V, y por lo tanto, se pondría a 1. Para el resto de combinaciones siempre habrá un transistor nMOS (al menos uno) en conducción, y al menos un pMOS en corte, por lo que ofrecerá a la salida una conexión directa a masa y por lo tanto, un estado bajo.

En la tabla 4 encontramos descrita la tabla de verdad de esta puerta lógica.

Tabla 4. Tabla de verdad para una puerta NOR

Entrada A	Entrada B	Salida F
0	0	1
0	1	0
1	0	0
1	1	0

Destacamos que a la práctica, cuando se quiere implementar una puerta AND u OR, lo que se hace es combinar NAND o NOR con un inversor. Esto es así porque es más sencillo utilizar celdas estándar como las NAND, NOR y NOT, que como hemos visto se construyen con un número muy pequeño de transistores, y basar todas las operaciones en estas tres. Esto presenta ventajas en cuanto a reducción de área e integración.

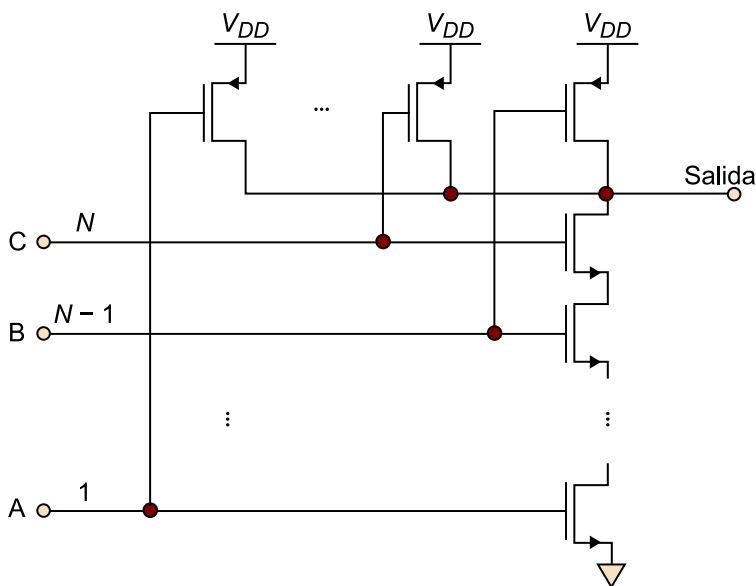
Hemos visto, pues, los tres circuitos principales de la tecnología CMOS, que nos permiten ya construir todo tipo de circuitos y son la base de –por ejemplo– la tecnología de ASIC, que veremos en otros módulos.

4.3.3. Puertas lógicas NAND y NOR de N entradas

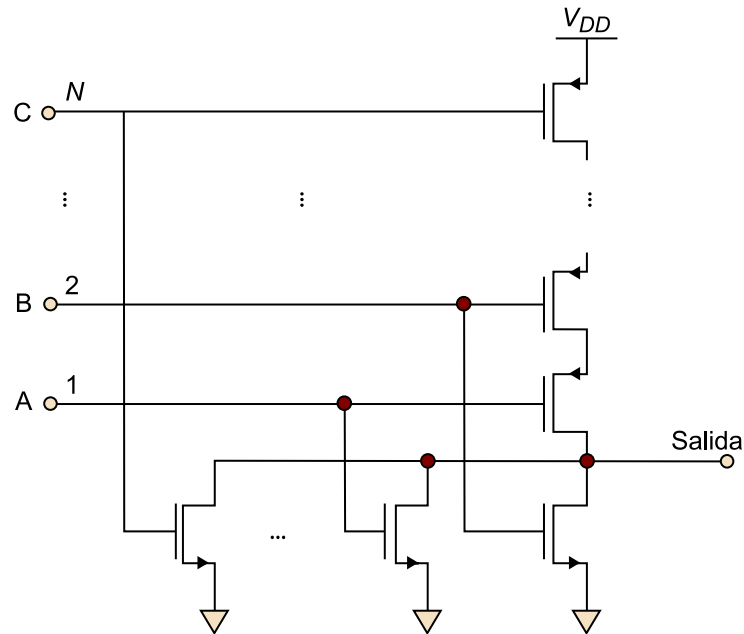
Ahora que conocemos el funcionamiento de las puertas lógicas CMOS y cómo podemos analizarlas, también podemos exponer otras combinaciones de transistores pMOS y nMOS que nos serán útiles. Por ejemplo, podríamos plantear una puerta NAND pero esta vez con N entradas, combinando los transistores siguiendo los mismos razonamientos que hemos seguido en el subapartado 4.3.1.

En la figura 21 vemos la disposición de N transistores pMOS en paralelo y N transistores nMOS en serie. Igual que sucedía con dos entradas, solo cuando todas ellas estén en un valor alto, los transistores nMOS conducirán, y por lo tanto, la salida tomará un valor lógico bajo (tendrá un camino de baja impedancia a masa). Para el resto de estados siempre habrá algún transistor que nos impedirá este camino, y por lo tanto, la salida encontrará en al menos un pMOS el camino hacia la alimentación V_{DD} .

Figura 21. Puerta NAND CMOS de N entradas



De manera análoga, en la figura 22 observamos una configuración de puerta NOR de N entradas, donde planteamos que los transistores nMOS son los que están en paralelo, y los pMOS en serie.

Figura 22. Puerta NOR CMOS de N entradas

Del mismo modo que con dos entradas, en este caso, solo cuando las tenemos todas ellas en estado bajo (0 lógico), nos aseguramos de que los transistores nMOS se encuentran en corte, y por lo tanto, desconectamos la salida de masa. Al mismo tiempo, todos los transistores pMOS en serie estarán con el canal abierto, y por lo tanto la salida está conectada a la alimentación (1 lógico). En todo el resto de combinaciones de entradas, siempre habrá al menos un pMOS en corte y un nMOS en conducción, y por lo tanto la salida estará a 0 V.

Fijémonos que con esta configuración, podemos diseñar tantas entradas y salidas como queramos; teóricamente, su número N podría ser muy grande. A la práctica, este número solo estaría limitado por efectos físicos, como pueden ser capacidades parásitas, velocidad de conmutación, etc. Todo esto será objeto de estudio en el siguiente apartado.

5. Diseño de circuitos CMOS

En el apartado anterior hemos podido conocer las particularidades de unos circuitos CMOS con mucha utilidad en la electrónica actual, como son las puertas lógicas inversoras, y otras funciones como NAND y NOR. Con todas ellas podemos diseñar cualquier circuito digital basado en esta tecnología. Hemos aprendido que hay que situar pares de bloques de transistores pMOS y nMOS complementariamente en serie o paralelo, y que esto es la base de la topología de cualquier circuito.

Conocer qué topología tienen los circuitos nos permite deducir su función lógica, pero este es solo un aspecto que debemos considerar. También hay que conocer todo un conjunto de aspectos en un circuito real, como es la tolerancia al ruido, que podría interferir en los circuitos con valores alejados de los considerados tensiones baja o alta, y también temas tan importantes como la velocidad de conmutación entre el momento en que la entrada cambia de nivel y el momento en que lo hace la salida. También es importante hablar de limitaciones en el número de puertas de salida o de entrada con que cargamos un circuito y, de una manera importante, de su consumo.

5.1. Tolerancia al ruido

Para que una puerta lógica sea robusta, insensible al ruido existente en las tensiones, es esencial que los rangos asociados al 0 y 1 lógicos sean los más grandes posibles. Una medida de la insensibilidad de una puerta al ruido viene dada por los llamados márgenes de ruido (NM^{11}) en estado alto y bajo, definidos a partir de las tensiones que hemos visto en la característica de transferencia del inversor CMOS:

- Margen de ruido en estado bajo (*noise margin low*): $NML = V_{IL} - V_{OL}$.
- Margen de ruido en estado alto (*noise margin high*): $NMH = V_{OH} - V_{IH}$.

Estos márgenes tienen que ser mayores de cero para que el circuito sea funcional, es decir, para que podamos conectar una puerta con otra y los niveles se reconozcan como estados lógicos. Es un objetivo de diseño de las puertas que estos márgenes sean los más anchos posibles para aumentar la robustez del circuito.

Como hemos comentado, a la práctica se podían considerar los valores siguientes:

- V_{IL} : $30\%V_{DD}$

⁽¹¹⁾De la expresión inglesa *noise margin*.

Ved también

La característica de transferencia del inversor CMOS se estudia en el subapartado 4.1.2 de este módulo didáctico.

- V_{IH} : $70\%V_{DD}$
- V_{OL} : $10\%V_{DD}$
- V_{OH} : $90\%V_{DD}$

Y por lo tanto, según la definición de margen de ruido, tendríamos unos valores típicos de:

- NML : $20\%V_{DD}$
- NMH : $20\%V_{DD}$

Si las señales analógicas de tensión fluctúan dentro de este rango, los valores lógicos no se verán afectados.

5.2. Propiedad regenerativa

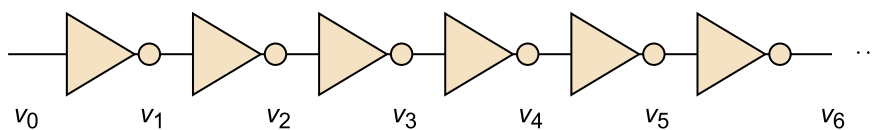
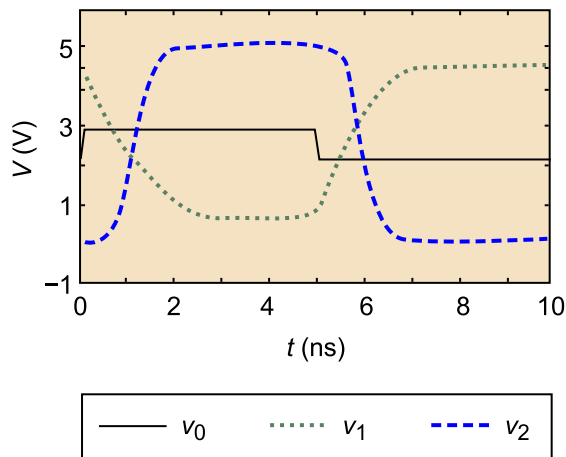
El hecho de disponer de amplios márgenes de ruido es una propiedad necesaria pero no suficiente para que el circuito sea robusto. En las conexiones en cascada de circuitos digitales, las desviaciones por ruido van pasando de etapa en etapa y pueden llegar a acumularse hasta el punto de que alguna de las etapas produzca salidas de tensión en la región de transición, es decir, en la región donde no se considera que sea un estado lógico ni 0 ni 1. Esto no ocurre, afortunadamente, si la tecnología posee la **propiedad regenerativa**.

La **propiedad regenerativa** asegura que una señal perturbada converge gradualmente en uno de los niveles nominales después de pasar por un cierto número de etapas lógicas.

Esta propiedad puede expresarse en los términos siguientes: imaginemos que tenemos una cadena de puertas lógicas encadenadas; en concreto, para ilustrar el concepto, podemos pensar en una cadena de inversores y representar esta cadena como la figura 23a.

Cuando una tensión de entrada perteneciente al rango de niveles representativo de un valor lógico se aplica a la cadena de inversores (figura 23a), la salida de la cadena se aproximará a uno de los dos valores V_{OH} o V_{OL} , dependiendo del valor lógico de entrada y del número de inversores de la cadena. Esta propiedad queda de manifiesto en el cronograma de la figura 23b, en la que la entrada corresponde a una señal cuadrada de amplitud muy disminuida, que va restaurando el nivel al avanzar por la cascada de inversores.

Figura 23. Propiedad regenerativa manifestada en una cadena de inversores

a. Cadena de inversores**b. Respuesta simulada de una cadena de inversores MOS**

Las condiciones bajo las cuales una puerta es regenerativa pueden deducirse intuitivamente a partir de analizar la curva de transferencia de la puerta (figura 12). Se trata de que si la tensión de entrada en la puerta se aleja de 0 V o de V_{DD} V, la salida se mantenga lo más cercana posible a estos dos valores: en un caso así, se dice que la puerta “regenera” los valores lógicos, hace que una tensión de entrada con desviación de los valores nominales (por ruido, por ejemplo) se convierta en una tensión de salida más cercana a 0 V o a V_{DD} V de lo que lo estaba la entrada.

Si esto se da en cada puerta, al final de la cadena el valor lógico se habrá ido regenerando. De hecho, para que esto sea así, la curva de transferencia de las puertas tiene que poseer una región de transición con una pendiente mayor que la unidad en valor absoluto, mientras que en las zonas asociadas a los valores lógicos, la pendiente tiene que ser menor que la unidad. Así, a cada paso de puerta vamos regenerando progresivamente hacia 0 V y V_{DD} V.

5.3. Directividad

La propiedad de directividad exige que una puerta sea unidireccional, es decir, que los cambios a la salida no den lugar a variaciones a la entrada del mismo circuito. Si esto no se consigue, las señales de salida se reflejarán a la entrada en forma de ruido añadido, que afectará a la integridad de la señal. En las implementaciones reales, la directividad completa no puede alcanzarse nunca, dado que siempre hay, por ejemplo, acoplamientos capacitivos inevi-

Ved también

La fabricación de circuitos integrados se estudia en el módulo “Materiales y tecnologías de fabricación de circuitos integrados” de esta asignatura.

tables entre entradas y salidas por la propia estructura física de los circuitos. En cualquier circuito físico, implementado según los procesos de fabricación explicados, habrá efectos capacitivos entre las diferentes capas de material.

5.4. Corrientes de entrada y de salida

Como consecuencia de la elevada impedancia de entrada de los transistores MOSFET, las corrientes de entrada de una puerta CMOS son muy pequeñas, y resultan negligibles en la mayoría de los casos. Pero esto, que representa una ventaja para los circuitos excitadores, puede representar un problema debido a su elevada sensibilidad a las tensiones electrostáticas. Por eso, a la práctica se introducen algunos elementos discretos a la entrada de los circuitos CMOS, formados por resistencias o diodos que limitan cualquier tensión de entrada al rango que va de 0 a V_{DD} V. Estos elementos discretos solo penalizan un poco la presencia de una corriente de entrada, pero que continúa siendo pequeña, del orden de 0,1 μ A en casos habituales.

Por su parte, las corrientes de salida están limitadas a la caída de tensión que producen en el canal de conducción. Es decir, si colgamos de ahí una carga, habrá que evitar que esto haga perder la conducción y que, por lo tanto, los transistores de *pull-up* y *pull-down* ya no proporcionen las tensiones correctas a la salida.

5.5. Disipación de potencia (consumo)

En cualquiera de los dos estados de una puerta inversora, uno de los transistores está en corte, y por lo tanto el consumo en estática y la potencia son cero. En circuitos prácticos, como hemos visto, hay una pequeña corriente de pérdidas que produce una **disipación de potencia en reposo** del orden de 10 nW.

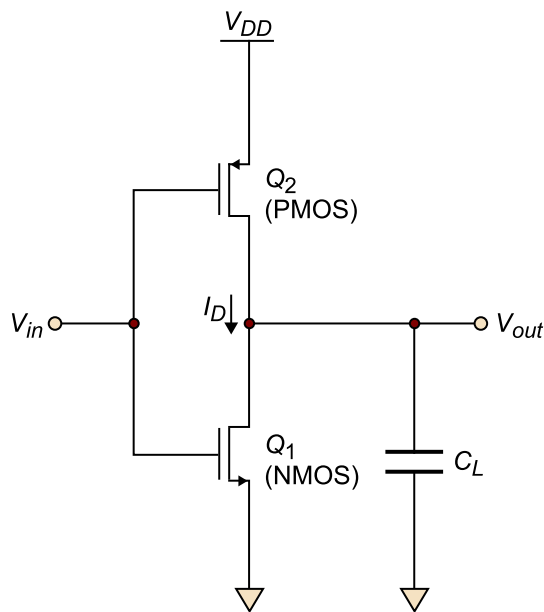
Pero como hemos visto, este estado solo se encuentra en las regiones de los extremos de la curva de transferencia. Durante la conmutación entre estados, la puerta inversora pasa por las cinco regiones de la figura 12, y en algunas de ellas los transistores conducen corriente, como por ejemplo en la región central III cuando ambos están en saturación. Este sería el primer efecto de consumo de potencia en dinámica.

El segundo efecto se debe a la presencia de una **capacidad de carga** C_L en cualquier circuito real. Como vemos en la figura 24, podemos modelizar esta capacidad parásita, que se debe a la propia estructura física de los circuitos, como un condensador conectado a la salida. Este condensador modeliza el hecho de que la salida no puede responder instantáneamente a la entrada, y por lo tanto, habrá siempre un límite a la velocidad de operación del circuito (así como a la frecuencia de la señal de entrada para que el inversor opere adecuadamente).

Ved también

La característica de transferencia del inversor CMOS se estudia en el subapartado 4.1.2 de este módulo didáctico.

Figura 24. Inversor CMOS con capacidad cargando a la salida



La presencia de esta capacidad hace que haya corrientes de carga y descarga, y este es de hecho un efecto más importante que el anterior (la conducción de los transistores en transición de estados). Se suele hacer la aproximación siguiente respecto de la potencia disipada en dinámica:

$$P_D = f \cdot C_L \cdot V_{DD}^2 \quad 2.6$$

donde P_D es la potencia disipada en W, f la frecuencia de operación en Hz, C_L la capacidad de carga en F, y V_{DD} la tensión de alimentación. Por ejemplo, para $V_{DD} = 5$ V, $f = 1$ MHz y $C_L = 20$ pF, se obtiene una potencia disipada P_D de 0,5 mW.

5.6. Velocidad de conmutación

Como consecuencia de la presencia de las capacidades en el circuito, representadas por C_L en la figura 24, la velocidad de conmutación entre entrada y salida no puede ser instantánea. Cualquier cambio de estado a la entrada tardará un cierto tiempo en verse reflejado a la salida. Dependiendo de cada caso y de los valores de los parámetros involucrados (incluyendo las características físicas de los transistores, etc.) tendremos una velocidad u otra.

Uno de los parámetros físicos del transistor que interviene en este efecto directamente es su transconductancia g , definida como el cambio que hay en su corriente de drenador cuando tenemos un cambio en la tensión de puerta, es decir, la sensibilidad de la corriente de drenador a pequeños cambios en la tensión de puerta. Matemáticamente, es, por lo tanto, la derivada:

$$g = \frac{\partial I_D}{\partial v_G} \quad 2.7$$

Conociendo el origen de este efecto que limita la velocidad de conmutación, podemos afirmar que para conseguir una conmutación rápida de un inversor CMOS es necesario que la capacidad de carga sea pequeña, la transconductancia de los transistores tiene que ser elevada, las tensiones umbrales tienen que ser pequeñas y la tensión de alimentación tiene que ser alta. Por ejemplo, por $V_{DD} = 5 \text{ V}$, $v_T = 1 \text{ V}$, una transconductancia g de $0,1 \text{ mA/V}$, y $C_L = 20 \text{ pF}$, un valor típico de retraso de propagación es de 36 ns .

Valores típicos

Para la lógica CMOS básica de la serie comercial RCA 4000B, los valores típicos son de propagación de 50 ns y frecuencia máxima de 12 MHz .

5.7. *Fan-in* y *fan-out*

El *fan-out* denota el número de puertas conectadas a la salida de una puerta dada. El incremento de *fan-out* de una puerta puede afectar a sus niveles lógicos de salida, efecto que puede minimizarse haciendo la resistencia de entrada de las puertas lo más grande posible (baja corriente de entrada), y la resistencia de salida tan pequeña como sea posible, lo cual le proporcionará una elevada “cargabilidad” de salida. Además del efecto sobre las características estáticas, un alto *fan-out* deteriora las prestaciones dinámicas de la puerta cargada, por lo cual es frecuente que en los circuitos lógicos se defina un *fan-out* máximo para garantizar funcionalidades.

El *fan-in* de una puerta es su número de entradas. Puertas con valores altos de *fan-in* suelen ser más complejas, lo cual a menudo se traduce en propiedades estáticas y dinámicas inferiores.

5.8. Sensibilidad a descargas electrostáticas

La tecnología CMOS es especialmente susceptible a daños por descarga electrostática (ESD⁽¹²⁾), como consecuencia directa de su alta impedancia de entrada. Una pequeña carga electrostática que circule por estas altas impedancias puede originar tensiones altas.

⁽¹²⁾ESD es la sigla de la expresión inglesa *electro static discharge*.

Para protegerlos contra estos daños, los circuitos comerciales vienen protegidos mediante la inclusión de diodos Zener de protección, diseñados para conducir y limitar la magnitud de la tensión de entrada a niveles muy inferiores a los necesarios para provocar daños. Aunque los diodos Zener en general cumplen con su finalidad, algunas veces no empiezan a conducir con la rapidez necesaria para evitar que el circuito integrado se malogre. Consecuentemente, hay que seguir unas precauciones en la manipulación de estos circuitos.

5.9. Familias CMOS

Ahora que hemos visto todo un conjunto de parámetros que afectan directamente al diseño de los circuitos, conviene que hagamos un repaso de las diferentes familias que existen en la tecnología CMOS. Cada una de ellas se caracterizará por una serie de parámetros de velocidad de conmutación, consumo, tensiones de alimentación, etc.

En primer lugar, podemos decir que la velocidad de conmutación en las familias CMOS está limitada por las capacidades asociadas a los transistores MOSFET, tal como se ha explicado. Por eso, las mejoras en las tecnologías CMOS son consecuencia de mejoras en los procesos de fabricación que permiten reducir el tamaño de los transistores, con la consecuente reducción de sus capacidades asociadas y aumento de velocidad.

A continuación enumeramos las familias más destacables, cada una de ellas orientada a fortalecer una cierta prestación:

- **Familia HCMOS** (CMOS de alta velocidad): se caracteriza por un canal de solo 3 μm , y funciona con tensiones de alimentación de 2 a 6 V, que alcanza tiempos de propagación de unos 8 ns y tiene una frecuencia máxima de operación de 40 MHz.
- **Familia ACMOS** (CMOS de velocidad avanzada): mejora la velocidad de HCMOS al reducir el tamaño del canal a solo 1 μm . Las tensiones de alimentación van desde 3 V hasta 5,5 V, con tiempos de propagación de 3 ns, y la frecuencia máxima es de 125 MHz. Tienen salidas reforzadas⁽¹³⁾ para poder suministrar corrientes de hasta 24 mA.
- **Familia LVCMOS** (CMOS de baja tensión): está diseñada para trabajar con tensión de alimentación de 3,3 V, con capacidad de carga y retardos de propagación similares a ACMOS, pero disipa menos de la mitad de potencia gracias a su baja tensión.
- **Familia AVCMOS** (CMOS avanzada de muy baja tensión): esta familia mejora la velocidad de LVCMOS al reducir el canal a 0,35 μm , con tiempos de propagación de 1,5 ns y frecuencia máxima de 200 MHz. Se diseñó para trabajar con tensión estándar de 2,5 V, pero permite también ser alimentada con otros valores estándar, como por ejemplo 3,3 V o 1,8 V, y por lo tanto, tiene la posibilidad de ser utilizada como interfaz entre circuitos alimentados a diferentes tensiones.

Ved también

La velocidad de conmutación en las familias CMOS se estudia en el subapartado 5.6 de este módulo didáctico.

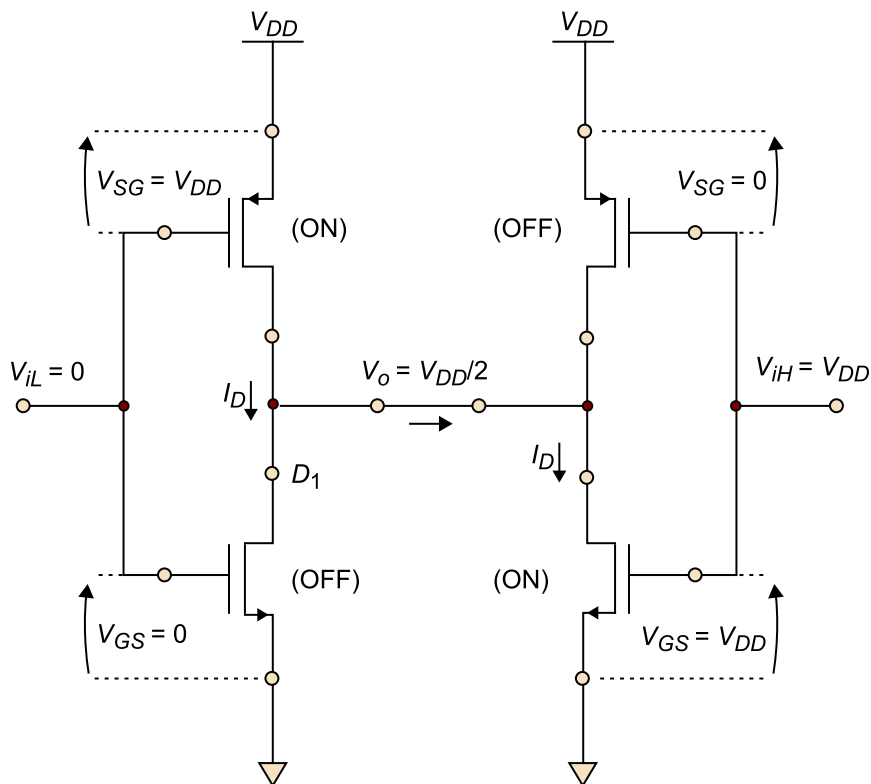
⁽¹³⁾En inglés, *buffered*.

5.10. Cableado lógico en CMOS

El cableado es la posibilidad de unir dos o más salidas de varias puertas lógicas para ejecutar nuevas funciones. En el diseño de circuitos basados en puertas CMOS, es muy importante, pues, que tengamos en cuenta posibles efectos indeseados con los que nos podríamos encontrar. En este subapartado también veremos variantes de circuitos que nos ofrecen los fabricantes para poder interconectar (cablear) las puertas lógicas.

Consideramos como ejemplo el circuito de la figura 25, en el que hemos conectado las salidas de dos inversores CMOS. Sería un ejemplo representativo de lo que ocurre cuando conectamos directamente las salidas de dos puertas lógicas CMOS y queremos analizar qué sucede al hacer este “cableado”. De hecho es un caso muy frecuente, dado que a menudo hay que conectar salidas de circuitos a un mismo lugar, a un mismo bus o línea de transmisión y/o comunicación común.

Figura 25. Dos inversores CMOS con salidas conectadas



El hecho de que tengan la salida conectada directamente hace que ya no funcionen como esperamos, como se puede entender si pensamos, por ejemplo, en el supuesto de que en el inversor de la izquierda tengamos un 0 como entrada, y un 1 en el de la derecha. Esto hace que la salida de cada circuito tome valores diferentes, pero al estar conectados, lo que pasa en la realidad es que

la tensión a la salida es $V_{DD}/2$ V. Esto es así porque, tal como se representa en la figura 25, la corriente del transistor pMOS de la izquierda pasa en realidad por el transistor nMOS de la derecha, puesto que ambos están en ON.

Esta tensión intermedia, como sabemos, es un valor prohibido dado que no representa ni un 0 ni un 1. Es precisamente por este efecto por lo que los fabricantes han incorporado en algunos miembros de cada familia salidas especiales que permiten el cableado lógico: salidas a drenador abierto y salidas triestado.

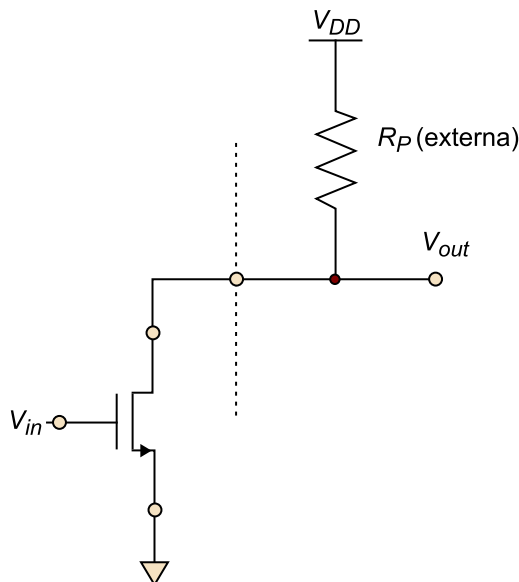
5.10.1. CMOS de drenador abierto

Una posible solución para este tipo de cableados sería la denominada CMOS de drenador abierto⁽¹⁴⁾, que consiste en que el fabricante del circuito proporciona una salida directa al drenador de un transistor, tal como se ve en la figura 26. Fijaos que en este caso tendríamos un inversor como el explicado en el subapartado 3.2.

(14) En inglés, *open drain*.

De esta forma, es el usuario del chip quien tiene acceso a poder configurar el cableado con una resistencia externa con propósitos de *pull-up*, y esto evita el problema del valor prohibido del circuito de la figura 25.

Figura 26. Salida en drenador abierto con resistencia externa de *pull-up*



Con esta opción, podríamos conectar varios transistores de drenador abierto en el mismo punto, y controlar de este modo su funcionamiento de forma más directa. Por ejemplo, si conectáramos dos transistores como los de la figura 26 del mismo punto, con la resistencia de *pull-up*, tendríamos que cuando cualquiera de los dos transistores estuvieran en conducción, la salida tomaría valor bajo porque tiene camino a masa. Y cuando los dos transistores están

OFF, la salida toma el valor de la alimentación a través de la resistencia de *pull-up*. Estaríamos implementando una función AND respecto a las dos entradas de los transistores.

Un inconveniente que tienen las salidas a drenador abierto es que aumentan el consumo respecto de las salidas estándar, puesto que la resistencia consume potencia cuando pasa corriente.

Recordamos sin embargo la gran ventaja de esta configuración, que es permitir cablear o unir puertas lógicas, y evitar efectos como los de la figura 25.

5.10.2. CMOS triestado

Las salidas triestado proporcionan otra manera de poder interconectar dos o más puertas lógicas. En este caso se sigue manteniendo el par de transistores complementarios, pero se añade circuitería adicional que permite poner los dos transistores en corte simultáneamente y proporcionar un tercer estado a la salida conocido como **estado de flotación** o **estado de alta impedancia**, por desconexión de la salida tanto de masa como del terminal positivo de la alimentación.

Las puertas lógicas con salidas triestado incorporan una entrada de selección¹⁵ adicional que pueden activar o desactivar el estado de alta impedancia de su salida.

⁽¹⁵⁾En inglés, *enable* o *chip-select*.

En la figura 27 podemos ver una puerta inversora con salida triestado.

La salida está constituida por el par complementario de transistores Q_1 y Q_2 , habituales ya en la puerta inversora convencional. A estos se les han añadido dos transistores en serie Q_3 y Q_4 , para conseguir controlar el tercer estado, como explicamos a continuación.

En primer lugar, hay que fijarse en que Q_5 y Q_6 forman también un inversor CMOS convencional, de forma que los estados lógicos en las puertas de Q_3 y Q_4 son siempre complementarios. Según la entrada de selección, tenemos dos modos de operación:

- Cuando la entrada de selección está en el nivel bajo, Q_3 y Q_4 se ponen en conducción. Y en este caso, toda la puerta opera como un inversor estándar entre su entrada A y la salida F.
- Cuando la entrada de selección está en el nivel alto, Q_3 y Q_4 están en corte. Y por lo tanto, la salida F no está conectada a ninguna parte; se encuentra en el tercer estado o estado de alta impedancia.

- La potencia disipada en reposo es muy baja. El consumo aparece en los transitorios de conmutación cuando los dos transistores complementarios conducen.
- Las puertas lógicas se implementan únicamente con transistores MOS, y de este modo se pueden lograr densidades de integración elevadas.
- La característica de transferencia se aproxima al ideal, en el sentido de que hay una elevada inmunidad al ruido, sobre todo a tensiones de alimentación elevadas.
- Los niveles de salida se obtienen por conexión de la salida a alimentación a través de un camino de baja resistencia. Por lo tanto, las salidas no se degradan. Es una lógica regenerativa de niveles.
- Amplio margen de tensiones de alimentación.
- Impedancia de entrada muy elevada, y por lo tanto, *fan-out* en estática muy elevado.
- Sensibilidad elevada a las descargas electrostáticas, y por lo tanto, hay que ser cuidadoso en su manipulación.
- Las entradas no utilizadas de una puerta tienen que conectarse o a alimentación o a masa; no tienen que dejarse flotantes en ningún caso.
- Se han desarrollado familias CMOS de alta velocidad similares en este aspecto a las familias bipolares.
- Estabilidad con la temperatura; CMOS proporciona un margen amplio de temperaturas de funcionamiento, normalmente desde $-40\text{ }^{\circ}\text{C}$ a $+85\text{ }^{\circ}\text{C}$.

Resumen

En este módulo hemos obtenido una visión general de los circuitos con tecnología CMOS. En primer lugar, hemos hecho una descripción y análisis detallado del transistor MOSFET, hemos explicado su estructura básica, y también cuáles son sus principios de funcionamiento físicos, basados en el hecho de conocer bien cómo se comportan los materiales semiconductores y cómo se disponen.

A continuación hemos utilizado este elemento, el MOSFET, como núcleo básico de puertas lógicas en circuitos digitales. Concretamente, hemos empezado estudiando con detalle la puerta inversora, tanto con un solo tipo de transistor nMOS, como con un par de transistores nMOS y pMOS en configuración complementaria. Hemos aprendido que todos los circuitos CMOS se basan en estos dos tipos de transistor, y de aquí precisamente proviene el nombre de *complementario*. Hemos analizado esta puerta inversora conociendo la función de transferencia, definida como la tensión de salida respecto de la tensión de entrada. Finalmente, en este apartado hemos expuesto dos tipos más de puertas, la NAND y la NOR, con las cuales podemos configurar (si se disponen correctamente y con el número adecuado) cualquier función lógica, por compleja que sea. Hemos establecido, pues, las bases del diseño de circuitos lógicos con CMOS.

Finalmente, en el último apartado del módulo nos hemos centrado en describir todas las características, las ventajas y los inconvenientes que hay que considerar en los diseños de circuitos CMOS. Hemos expuesto su tolerancia al ruido, las propiedades de las puertas (como la regeneración de niveles lógicos) y hechos tan importantes como el consumo de potencia en este tipo de circuitos. Hemos concluido el apartado con un resumen de las características de los circuitos diseñados con tecnología CMOS.

Glosario

ACMOS *m* Sigla que corresponde a la expresión inglesa *advanced CMOS*, 'CMOS avanzado'.

CI *f* Sigla que corresponde a la expresión *circuito integrado*.

CMOS *m* Sigla que corresponde a la expresión inglesa *complementary metal oxide semiconductor*, 'semiconductor óxido-metal complementario'; es una de las tecnologías empleadas en la fabricación de circuitos integrados.

HCMOS *m* Sigla que corresponde a la expresión inglesa *High CMOS*, 'CMOS alto'.

LVC MOS *m* Sigla que corresponde a la expresión inglesa *low voltage CMOS*, 'CMOS de baja tensión'.

MOSFET *m* Sigla que corresponde a la expresión inglesa *metal oxide semiconductor field effect transistor*, 'transistor de efecto de campo en semiconductor metal-óxido'.

nMOS *m* Sigla que corresponde a transistor MOSFET de canal N.

pMOS *m* Sigla que corresponde a transistor MOSFET de canal P.

Bibliografía

Baker, R. J. (2010). "CMOS circuit design, layout, and simulation" (3.^a ed.). *IEEE press series*. John Wiley & Sons, Inc.

Fabricius, E. D. (1990). *Introduction to VLSI design*. McGraw Hill.

Neil, H. E.; Weste, K. E. (1994). *Principles of CMOS VLSI design. A systems perspective*. Addison Wesley.

Sze, S. M; Chang, C. Y. (1996). *ULSI technology*. McGraw Hill.